

Преобразователь двоично-десятичного кода целых чисел в двоичный код последовательностного типа

© В.Ф. Жирков, В.А. Мясников

МГТУ им. Н.Э. Баумана, Москва, 105005, Россия

Рассмотрен алгоритм преобразования двоично-десятичного кода целых чисел в двоичный код, построена схема преобразователя многоразрядного целого числа. Преобразователь последовательностного типа в отличие от комбинационного характеризуется однородностью построения схемы и, следовательно, простотой наращивания разрядности преобразуемых чисел. Показано, что реализация преобразователя последовательностного типа на программируемых логических интегральных схемах, например, фирмы Xilinx, позволяет выполнить преобразование 4-разрядного двоично-десятичного кода целого числа за ~200 нс, 8-разрядного – за 400 нс при тактовой частоте 100 МГц.

Ключевые слова: система счисления, двоично-десятичный код, двоичный код, преобразователь, целое число, ПЛИС, последовательностная схема.

Задача преобразования чисел из десятичной системы счисления в двоичную и обратно возникает при вводе и выводе информации в вычислительных устройствах и ЭВМ. Преобразование выполняется отдельно для целой и дробной частей числа. Сначала десятичные числа представляются в двоично-десятичном коде, а затем двоично-десятичные коды чисел преобразуются в двоичные.

Наиболее широкое применение получил двоично-десятичный код (ДДК) 8421, в котором десятичные цифры 0, 1, ..., 9 изображаются четырехразрядными двоичными числами – тетрадами 0000, 0001, ..., 1001 соответственно. Цифры 8, 4, 2, 1 в обозначении кода – это веса разрядов двоичной тетрады.

Целое десятичное число A^{10} выражается в виде

$$A_{10}^{10} = \alpha_{n-1} \cdot 10^{n-1} + \alpha_{n-2} \cdot 10^{n-2} + \dots + \alpha_1 \cdot 10^1 + \alpha_0, \quad (1)$$

где $\alpha_{n-1}, \alpha_{n-2}, \dots, \alpha_1, \alpha_0$ – цифры 0, 1, ..., 9 десятичного числа; n – число разрядов десятичного числа; 10 – основание десятичной системы счисления.

Поскольку основание системы счисления известно, выражение (1) представляют в сокращенной форме

$$A_{10}^{10} = a_{n-1}a_{n-2} \dots a_1a_0.$$

В двоично-десятичном коде 8421 число A^{10} записывается в виде

$$A_{2-10}^{\text{II}} = \alpha_{n-1} \alpha_{n-2} \dots \alpha_1 \alpha_0, \quad (2)$$

где $\alpha_{n-1}, \alpha_{n-2}, \dots, \alpha_1, \alpha_0$ – двоичные тетрады, изображающие десятичные цифры.

В двоичной системе счисления это число изображается так:

$$A_2^{\text{II}} = b_{k-1} \cdot 2^{k-1} + b_{k-2} \cdot 2^{k-2} + \dots + b_1 \cdot 2^1 + b_0, \quad (3)$$

где $b_{k-1}, b_{k-2}, \dots, b_1, b_0$ – двоичные цифры 0 или 1, 2 – основание двоичной системы счисления; k – количество двоичных разрядов числа A .

Алгоритмы преобразования числа A^{II} в двоичную систему счисления следуют из записи выражения (3) по схеме Горнера:

$$A_2^{\text{II}} = (\dots(b_{k-1} \cdot 2 + b_{k-2}) \cdot 2 + \dots + b_1) \cdot 2 + b_0. \quad (4)$$

Один из них, наиболее пригодный для аппаратной реализации преобразования целого числа, заключается в последовательном делении целого числа и образующихся целых частных на основание 2 двоичной системы счисления. Получающиеся остатки в ходе процесса последовательного деления являются цифрами $b_0, b_1, \dots, b_{k-2}, b_{k-1}$ целого числа A , переведенного в новую, т. е. двоичную, систему счисления. Разделив правую часть выражения (4) на 2, определим первый остаток b_0 и целую часть $(\dots(b_{k-1} \cdot 2 + b_{k-2}) \cdot 2 + \dots + b_2) \cdot 2 + b_1$. Разделив эту целую часть на 2, найдем второй остаток b_1 и очередное частное $(\dots(b_{k-1} \cdot 2 + b_{k-2}) \cdot 2 + \dots + b_3) \cdot 2 + b_2$. Повторяя процесс деления k раз, получим последнее частное b_{k-1} , которое, согласно (4), меньше основания 2 двоичной системы счисления и является старшей цифрой двоичного числа.

Операция деления на 2 выполняется сдвигом двоично-десятичного числа вправо (в сторону младших разрядов) на один двоичный разряд (позицию). При этом младшие разряды исходных чисел и образующихся частных являются остатками от деления. При сдвиге двоично-десятичного числа вправо разряд тетрады с весом 8 приобретает вес 4, с весом 4 – вес 2, с весом 2 – вес 1, т. е. происходит деление числа на 2. Однако для получения правильного частного необходимо выполнить коррекцию результата сдвига, если при сдвиге какая-либо единица переходит из одной тетрады в другую. Действительно, эта единица, которая имеет разрядное значение, равное десяти единицам того разряда, в который она сдвигается, приобретает в нем вес 8, а должна приобрести вес 5 ($10 : 2 = 5$). Следовательно, для коррекции с целью получения правильного результата необходимо вычесть $3_{10} = 0011_2$ из тех тетрад, в которые при сдвиге поступила единица. Если в старший

разряд какой-либо тетрады при сдвиге поступает ноль, то коррекция не требуется. Преобразование n -разрядного двоично-десятичного числа выполняется с помощью $4n$ сдвигов с соответствующими коррекциями после каждого сдвига. Признаком коррекции является поступление единиц в старшие разряды тетрад. Все действия должны выполняться по правилам исходной, т. е. десятичной, системы счисления над двоично-десятичными числами.

Элементарный преобразователь (ЭП) одного двоично-десятичного разряда числа должен иметь четыре входа и четыре выхода. При выполнении сдвига на эти входы ЭП поступают три старших двоичных разряда i -й тетрады, на четвертый вход – первый двоичный разряд $(i + 1)$ -й тетрады.

Двоичная тетрада $X = (x_4x_3x_2x_1)$ может принимать значения 0000, 0001, ..., 0100, если при сдвиге из $(i + 1)$ -й тетрады в i -ю поступает ноль, т. е. $x_4 = 0$, и 1000, 1001, ..., 1100, если при сдвиге из $(i + 1)$ -й тетрады в i -ю поступает единица, т. е. $x_4 = 1$. Следовательно, ЭП должен выполнять функцию

$$Y = \begin{cases} X, & 0 \leq X \leq 4, \\ X - 3, & 8 \leq X \leq 12, \end{cases} \quad (5)$$

где $X = (x_4x_3x_2x_1)$, $Y = (y_4y_3y_2y_1)$ – двоичные тетрады числа на входах и выходах ЭП соответственно. Числа X , равные 5, 6, 7, 13, 14, 15, не могут появиться на входе ЭП.

Функции (5) соответствует таблица истинности ЭП.

Таблица истинности элементарного преобразователя

Входы				Выходы			
x_4	x_3	x_2	x_1	y_4	y_3	y_2	y_1
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	0
0	0	1	1	0	0	1	1
0	1	0	0	0	1	0	0
1	0	0	0	0	1	0	1
1	0	0	1	0	1	1	0
1	0	1	0	0	1	1	1
1	0	1	1	1	0	0	0
1	1	0	0	1	0	0	1

Условное графическое обозначение (УГО) ЭП с четырьмя входами и четырьмя выходами показано на рис. 1. В верхнем и нижнем до-

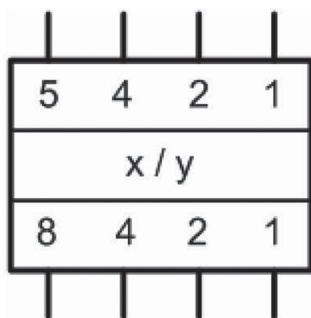


Рис. 1. Элементарный преобразователь с четырьмя входами и четырьмя выходами

полнительных полях УГО указаны веса, с которыми принимаются и выдаются разряды входных и выходных чисел (сигналов). ЭП имеет четыре входа с весами 5, 4, 2, 1 и четыре выхода с весами 8, 4, 2, 1.

Преобразование многоразрядного двоично-десятичного числа аппаратными средствами можно выполнить в комбинационной каскадной [1–6] и последовательностной [1, 7] схемах. Построению преобразователя последовательностного типа в литературе уделено

мало внимания, отсутствует единый подход к выбору двоично-десятичного кода при преобразовании целых чисел и правильных дробей [1, 7].

Рассмотрим построение преобразователя последовательностного типа (ППТ). Положительными качествами ППТ являются однородность его структуры, простота наращивания разрядности. Схема ППТ ДДК 4-разрядного десятичного числа в двоичный код (ДК) приведена на рис. 2.

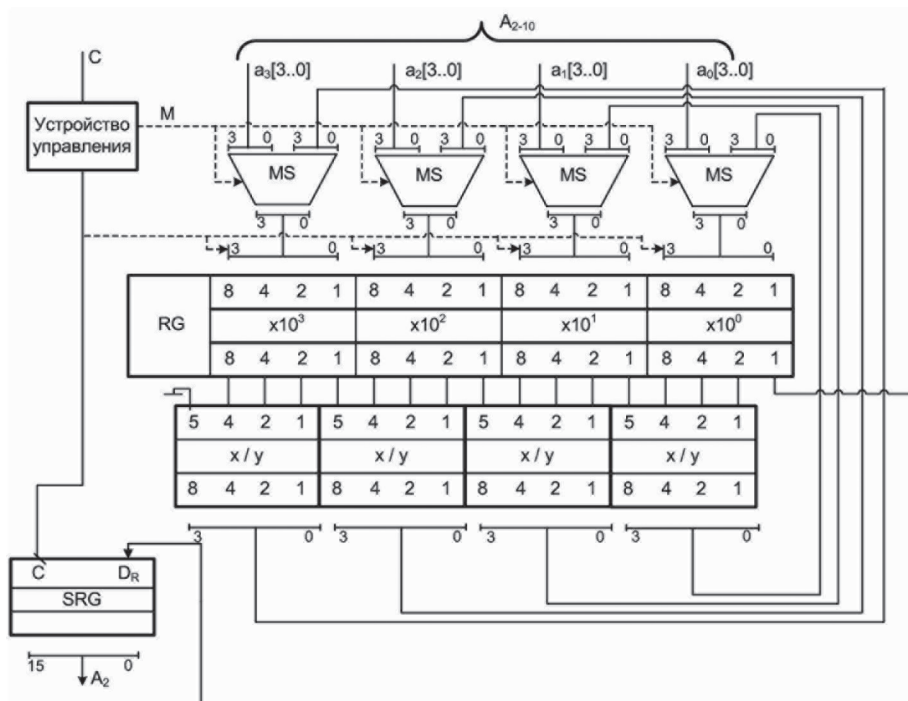


Рис. 2. Схема преобразователя ДДК целых чисел в ДК последовательностного типа

ППТ должен содержать десятичный сдвигающий регистр для хранения и преобразования двоично-десятичных чисел, ЭП в каждом десятичном разряде и двоичный сдвигающий регистр для хранения и вывода двоичного числа. Устройство управления (УУ) при поступлении команды преобразования S формирует последовательность тактовых импульсов для организации сдвига информации в регистрах и коррекции. Коррекция выполняется в десятичном регистре.

Десятичный регистр должен выполнять операции сдвига вправо и параллельной загрузки чисел с двух направлений: от внешнего источника для приема исходного числа и с выходов ЭП после выполнения коррекции. Организацию двухпортового приема чисел можно реализовать через двухходовые мультиплексоры, которые следует включить в цепь приема данных каждого двоичного разряда десятичного регистра. Порт выбирается управляющим сигналом, поданным на вход выбора и разрешающим прием чисел или от внешнего источника (например, при $M = 0$), или с выходов ЭП (при $M = 1$). При $M = 0$ по управляющему синхросигналу УУ выполняется параллельная загрузка числа в десятичный регистр, поступающего от внешнего источника. При $M = 1$ по команде преобразования УУ должно сформировать $4n$ синхроимпульсов сдвига, $4n$ синхроимпульсов параллельной загрузки для преобразования ДДК числа в ДК и $4n$ раз выполнить переключение регистра из режима сдвига в режим параллельной загрузки. Поэтому преобразования n -разрядного двоично-десятичного числа будут выполняться, по крайней мере, за $8n$ периодов T синхроимпульсов [5].

Можно предложить другой вариант построения десятичного регистра с организацией смещения влево на один двоичный разряд (позицию) входов разрядной сетки ЭП относительно выходов разрядной сетки регистра. Такая организация связей входов и выходов регистра и ЭП («косая передача») позволяет обеспечить прием в десятичный регистр в каждом такте нового частного, т. е. осуществить и сдвиг числа, и его коррекцию в одном такте. Таким образом, десятичный регистр будет выполнять операцию параллельной загрузки с двух портов. Предложенный вариант построения десятичного регистра и организации связей регистра и ЭП можно считать оптимальным с точки зрения временных затрат на преобразование: для формирования одного разряда двоичного числа требуется только один тактовый период синхроимпульсов. Общее время преобразования составит $4nT$.

ППТ можно реализовать на интегральных схемах (ИС) средней и большой степени интеграции. В качестве ИС средней степени интеграции можно применить, например, 4-разрядные двухпортовые реги-

стры K555КП13, КР1533КП13, 74LS298, 74ALS298, 74AC298, 4-разрядные полные двоичные сумматоры K555ИМ6, 74LS283, 74AC283, на которых реализуются ЭП [1, 3], двоичные сдвигающие регистры K555ИР8, КР1533ИР8, 74LS164, 74ALS164, 74AC164 отечественных и зарубежных серий ТТЛШ и КМОП-логики. Функцию ЭП может выполнять 4-разрядный сумматор [1]. При $x_4 = 0$ младшие разряды $x_3x_2x_1$ передаются через сумматор без изменений, при $x_4 = 1$ к двоичному коду числа $0x_3x_2x_1$ прибавляется $0101_2 = 5_{10}$.

Интегральные схемы K155ПР6, SN54184, SN74184 выполняют функции двух объединенных элементарных преобразователей, реализованы на постоянных запоминающих устройствах и для применения в данной схеме преобразователя в качестве ЭП являются избыточными.

Более перспективна реализация ППТ в программируемых логических интегральных схемах (ПЛИС), например, фирмы Xilinx, что позволяет обеспечить малую потребляемую мощность и высокое быстродействие. При малых задержках распространения в двоично-десятичном регистре, мультиплексорах и ЭП вполне достижима работа ПКП при тактовой частоте порядка 100 МГц ($T = 10$ нс).

В ППТ требуется реализация функций четырех переменных. Для ППТ можно использовать ПЛИС с архитектурой FPGA Spartan-II, Spartan-3, Virtex-E, Virtex-II, в которых табличные преобразователи (LUT – Look-Up Tables) имеют четыре входа и могут реализовать функции алгебраической логики (ФАЛ) четырех переменных.

Применение ПЛИС Spartan-6, Virtex-6 для рассматриваемой задачи нецелесообразно, так как эти схемы содержат шестивходовые LUT, которые будут использоваться только на 25 %.

При реализации схемы преобразователя в первую очередь был создан 4-входовой ЭП, при тестировании которого установлено, что максимальная задержка ЭП составляет 6 нс (рис. 3).

Для построения преобразователя многоразрядных целых чисел из ДДК в ДК было проведено описание следующих функциональных узлов на языке VHDL:

- мультиплексора, переключающего направление загрузки информации в десятичный регистр;
- десятичного регистра с параллельным вводом и выводом информации для промежуточного хранения информации;
- двоичного сдвигающего регистра, который при каждом такте УУ сдвигает свое содержимое в сторону младших разрядов.

Для работы предложенной схемы необходимо специальное УУ, отвечающее определенным требованиям. При поступлении команды



Рис. 3. Временная диаграмма работы ЭП

преобразования C такое устройство должно обеспечить занесение ДДК целого числа в десятичный регистр из шины входных данных. Затем УУ вырабатывает серию импульсов для выполнения преобразования, количество которых определяется разрядностью дроби и требованиями точности. В данном устройстве для всего процесса приема и преобразования генерируется 17 импульсов: один – для загрузки ДДК преобразуемого целого числа в десятичный регистр и 16 – для преобразования.

С помощью стандартного средства Test Bench САПР Xilinx ISE 14.7 проведено моделирование для тестирования преобразователя и оценки его временных параметров. Данное средство позволяет моделировать работу любых устройств, описанных на языках VHDL или Verilog, для построения временных диаграмм тестируемых устройств. Создан специальный файл поведенческого моделирования, в котором описываются все временные изменения входных сигналов.

По данным, полученным в результате моделирования, установлено, что задержка распространения сигнала в регистре сдвига не превышает 4 нс. Время задержки распространения в тракте преобразователя, состоящего из мультиплексора, регистра и ЭП, не превышает 9 нс. При тактовой частоте 100 МГц время преобразования 4-разрядного ДДК целого числа составляет ~200 нс, 8-разрядного – 400 нс.

ЛИТЕРАТУРА

- [1] Гришин Ю.Р., Казаринов Ю.М., Катиков В.М. и др. *Проектирование импульсных и цифровых устройств радиотехнических систем*. Москва, Высш. шк., 1985, 319 с.
- [2] Титце У., Шенк К. *Полупроводниковая схемотехника*. Москва, Мир, 1982, 512 с.

- [3] Пухальский Г.И., Новосельцева Т.Я. *Проектирование дискретных устройств на интегральных микросхемах*. Москва, Радио и связь, 1990, 304 с.
- [4] Алексенко А.Г. *Основы микросхемотехники. Элементы морфологии микроэлектронной аппаратуры*. 2-е изд., перераб. и доп. Москва, Сов. радио, 1977, 408 с.
- [5] Жирков В.Ф., Маянц А.Ю. Алгоритм преобразования двоичного кода правильных дробей в двоично-десятичный код и его реализация аппаратными средствами комбинационного типа. *Инженерный журнал: наука и инновации*, 2012, вып. 1. URL: <http://engjournal.ru/articles/76/76.pdf>
- [6] Morris R.L., Miller J.R. *Designing with TTL integrated circuits*. New York, McGraw-Hill, Books Co., 1971.
- [7] Карцев М.А. *Арифметика цифровых машин*. Главная редакция физико-математической литературы Издательства «Наука», 1969, 576 с.

Статья поступила в редакцию 23.05.2014

Ссылку на статью просим оформлять следующим образом:

Жирков В.Ф., Мясников В.А. Преобразователь двоично-десятичного кода целых чисел в двоичный код последовательностного типа. *Инженерный журнал: наука и инновации*, 2014, вып. 12. URL: <http://engjournal.ru/catalog/it/hidden/1320.html>

Жирков Владимир Филиппович родился в 1937 г., окончил МВТУ им. Н.Э. Баумана в 1960 г. Доцент кафедры «Компьютерные системы и сети» МГТУ им. Н.Э. Баумана. Имеет более 60 научных работ. Специализация – обработка сигналов в информационно-измерительных системах. e-mail: jirkovvf@bmstu.ru

Мясников Виктор А. родился в 1992 г. Студент кафедры «Компьютерные системы и сети» МГТУ им. Н.Э. Баумана. e-mail: 13vitia@gmail.com

Binary-coded decimal code (BCD) converter of integers in the binary code of sequential type

© V.F. Zhirkov, V.A. Myasnikov

Bauman Moscow State Technical University, Moscow, 105005, Russia

The study tested the algorithm of converting binary-coded decimal code (BCD) of integers in the binary code. The circuit of multi-bit integer converter was built. The converter of sequential type, unlike Raman converter is characterized by homogeneous circuit constructing and, consequently, by simplicity of increasing the bit of convertible digits. We showed that sequential type converter implementation on programmable logic integrated circuits, for example, the company Xilinx, allows to convert 4-bit BCD integer for ~200 ns, 8-bit — 400 ns at 100 MHz clock.

Keywords: number system, BCD, binary code, converter, integer, EPLD, sequential circuit.

REFERENCES

- [1] Grishin Yu.R., Kazarinov Yu.M., Katikov V.M., et al. *Proektirovanie impul'snykh i tsifrovyykh ustroystv radiotekhnicheskikh sistem* [Design of pulse and digital radio systems devices]. Moscow, Vysshaya shkola Publ., 1985, 319 p.
- [2] Tittse U., Shenk K. *Poluprovodnikovaya skhemotekhnika* [Semiconductor circuitry]. Moscow, 1982, 512 p. [In Russian].
- [3] Pukhal'skiy G.I., Novosel'tseva T.Ya. *Proektirovanie diskretnykh ustroystv na integral'nykh mikroshkemakh* [Design of discrete devices on integrated circuits]. Moscow, Radio i Svyaz' Publ., 1990, 304 p.
- [4] Aleksenko A.G. *Osnovy mikroshkemotekhniki. Elementy morfologii mikroelektronnoi apparatury* [Basics of microcircuitry. Elements of morphology of microelectronic devices]. 2nd ed. Moscow, Sovetskoe Radio Publ., 1977, 408 p.
- [5] Zhirkov V.F., Mayants A.Yu. *Inzhenernyi zhurnal: nauka i innovatsii — Engineering Journal: Science and Innovation*, 2012, iss. 1. Available at: <http://engjournal.ru/articles/76/76.pdf>
- [6] Morris R.L., Miller J.R., eds. *Designing with TTL integrated circuits*. New York, McGraw-Hill, Books Co, 1971.
- [7] Kartsev M.A. *Arifmetika tsifrovyykh mashin* [Arithmetic of digital machines]. Moscow, Nauka Publ., 1969, 576 p.

Zhirkov V.F. (b. 1937) graduated from Bauman Moscow Higher Technical School in 1960. Assoc. Professor of the Computer Systems and Nets Department at Bauman Moscow State Technical University. Author of more than 60 scientific papers. His major scientific interests are signal processing in information-measuring systems. e-mail: jirkovvf@bmstu.ru

Myasnikov V.A. (b. 1992) is a student of the Computer Systems and Nets Department at Bauman Moscow State Technical University. e-mail: 13vitia@gmail.com