

УДК 621.3.049

Тестирование цифровых микросхем с использованием сканирующих цепочек

Корнев Сергей Александрович

s.kornev.tov@gmail.com

Андреев Владимир Викторович

vladimir_andreev@bmstu.ru

КФ МГТУ им. Н.Э. Баумана, Калуга, Россия

Рассмотрен алгоритм тестирования цифровых микросхем с применением цепочек сканирования. Показан процесс тестирования с использованием сканирующих ячеек, а также его преимущества по сравнению с обычным функциональным тестированием. Рассмотрены особенности архитектур цепочек сканирования, а также их преимущества и недостатки. Показаны особенности создания тестовых последовательностей с использованием автоматической генерации тестовых последовательностей для поиска неисправностей в цифровых микросхемах.

Ключевые слова: сканирующие цепочки, тестирование цифровых микросхем, надежность, МДП-прибор, КМОП микросхемы

Методика проектирования современных цифровых СБИС полагается на использование библиотек стандартных элементов, включающих триггеры, защелки, комбинационные логические элементы, блоки памяти, IP блоки и др. Данные библиотеки используются для преобразования исходного описания микросхемы на языках описания аппаратуры (HDL) в нетлист для выбранной полупроводниковой технологии и последующего создания топологии.

Цифровые микросхемы могут включать в себя тысячи таких элементов, что неизбежно приводит к проблеме тестирования: как определить, что все элементы функционируют корректно, а межсоединения между ними не повреждены.

Обнаружение константных, переходных неисправностей и неисправностей, связанных с задержками и замыканиями с помощью функционального тестирования, является сложным и долгим процессом из-за наличия запоминающих элементов и множества внутренних состояний в цифровых микросхемах, при отсутствии достаточного количества точек контроля внутренних сигналов — число внутренних цепей значительно превышает число выводов микросхемы [1–3].

Для решения этой проблемы применяется введение сканирующих цепочек (scan-chains): триггеры в схеме заменяются на ячейки сканирования (scan-cells), которые далее объединяются в сканирующие цепочки (сдвиговые регистры).

Такие ячейки сканирования контролируются с помощью нескольких дополнительных выводов:

– вход сканирования (scan in) — служит для ввода данных в сдвиговых регистр сканирования;

- выход сканирования (scan out) — используется для получения результатов тестирования (данных из сдвигового регистра);
- вход управления (scan enable) — контролирует режим ячеек сканирования: в неактивном режиме все ячейки ведут себя как исходные триггеры, а при активации переходят в режим сдвигового регистра.

Таким образом, цепочки сканирования решают одну из главных проблем тестирования: получения доступа к внутренним цепям схемы без использования большого числа выводов.

В некоторых случаях, входы и выходы сканирующих цепочек могут быть объединены с уже существующими выводами микросхемы для экономии выводов кристалла. В таком случае добавляется еще один контролирующий сигнал для управления режимом выводов — test mode enable [4].

Алгоритм процесса тестирования в общем случае имеет следующий вид:

- установка scan enable в активное состояние — перевод триггеров в режим сдвигового регистра;
- загрузка i -ой тестовой последовательности по scan in и чтение результатов для последовательности $i-1$ с помощью scan out, а также их сравнение с ожидаемым результатом;
- установка scan enable в неактивное состояние — нормальный режим функционирования триггеров;
- выполняется один или несколько тактов функционирования микросхемы для достижения ее заданного состояния;
- повторение шагов 1–4 до проверки всех тестовых последовательностей.

К примеру, для проверки того, что на выходе двухвходового элемента И, присутствует константная неисправность с фиксированием выхода на логический ноль, необходимо загрузить логические единицы в регистры устанавливающие его входные значения. При наличии неисправности, с регистра связанного с выходом данного элемента будет считан логический ноль.

Для создания сканирующих ячеек чаще всего применяется архитектура Mux DFF, в которой обычные D триггеры (DFF), заменяются на D триггеры с мультиплексором на входе данных: вход данных (от схемы) и вход режима сканирования подаются на входы мультиплексора, а выход мультиплексора соединен с входом данных D триггера [5]. Мультиплексор контролируется входом scan enable. Многие библиотеки стандартных элементов уже имеют готовые структуры для использования с архитектурой Mux DFF.

Существуют и другие архитектуры организации сканирующих цепочек, к примеру Level Sensitive Scan Design (LSSD), которая вносит меньше задержек в путь сигнала и предпочтительна для высокоскоростных систем [6].

При применении цепочек сканирования в тестировании также важен этап создания тестовых последовательностей: создание тестов для поиска неисправностей для тысяч элементов, исключает ручную генерацию тестов.

Автоматическая генерация тестовых последовательностей (Automatic test pattern generation, ATPG) использует данные о логических функциях элементов схемы для создания последовательностей, которые позволят выявить

максимальное число неисправностей. При создании последовательностей, необходимо достигнуть компромисса между процентом тестового покрытия (процентом найденных неисправностей) и числом тестов (т. е. временем тестирования) [7].

На тестовое покрытие также влияет и то, какая часть схемы имеет сканирующие ячейки: в современных цифровых микросхемах разработчики стремятся заменить практически каждый триггер на сканирующие ячейки.

Большая часть АТРС программ, являются коммерческими продуктами с закрытым исходным кодом, но существуют и альтернативы с открытым исходным кодом. К примеру, программа Fault [8], которая позволяет использовать алгоритм на основе генератора случайных чисел или генератор Atalanta, основанный на FAN алгоритме [9]. Наличие бесплатных альтернатив с открытым программным кодом для генерации тестовых последовательностей упрощает внедрение данной технологии в процесс тестирования цифровых микросхем на пластине.

Добавление цепочек сканирования в цифровую схему позволяет с помощью малого числа выводов и незначительного увеличения площади кристалла, повысить тестовое покрытие схемы и минимизировать время тестирования.

Литература

- [1] Herman K., Montanares M., Marin J. Design and Implementation of Integrated Circuits Using Open Source Tools and SKY130 Free PDK. 30th International Conference on Mixed Design of Integrated Circuits and System (MIXDES). Kraków, Poland, 2023, pp. 105–110. <https://doi.org/10.23919/MIXDES58562.2023.10203216>
- [2] Корнев С.А., Андреев В.В. Проектирование конфигурируемого 32-разрядного RISC-V микропроцессора. *Проблемы разработки перспективных микро- и наноэлектронных систем (МЭС)*, 2022, № 4, с. 122–129. <https://doi.org/10.31114/2078-7707-2022-4-122-129>
- [3] Andreev D.V., Maslovsky V.M., Andreev V.V., Stolyarov A.A. Modified Ramped Current Stress Technique for Monitoring Thin Dielectrics Reliability and Charge Degradation. *Phys. Status Solidi A*, 2022, vol. 219, is. 9, art. no. 2100400(1–5). <https://doi.org/10.1002/pssa.202100400>
- [4] Navabi Z. Test pattern generation methods and algorithms. *Digital System Test and Testable Design, Using HDL Models and Architectures*, Springer, 2011, 435 p.
- [5] Hesham S., Shalan M., El-Kharashi M.W., Dessouky M. Digital ASIC Implementation of RISC-V: OpenLane and Commercial Approaches in Comparison. *IEEE International Midwest Symposium on Circuits and Systems (MWSCAS)*, Lansing, MI, USA, 2021, pp. 498–502. <https://doi.org/10.1109/MWSCAS47672.2021.9531753>
- [6] Nikhade K., Sowmiya G., Malarvizhi S. Classification of Valid Test Patterns Using Autoencoder for Adaptive Testing In VLSI. *International Conference on Recent Advances in Electrical, Electronics, Ubiquitous Communication, and Computational Intelligence (RAEEUCCI)*, Chennai, India, 2023, pp. 1–5. <https://doi.org/10.1109/RAEEUCCI57140.2023.10134483>
- [7] Gaber L., Hussein A.I., Moness M. Fault detection based on deep learning for digital VLSI circuits. *Procedia Computer Science*, 2021, vol. 194, pp. 122–131. <https://doi.org/10.1016/j.procs.2021.10.065>
- [8] Abdelatty M., Gaber M., Shalan M. Fault: Open-Source EDA's Missing DFT Toolchain. *IEEE Design & Test*, 2021, vol. 38, no. 2, pp. 45–52. <https://doi.org/10.1109/MDAT.2021.3051850>
- [9] Lee H.K., Ha D.S. An efficient forward fault simulation algorithm based on the parallel pattern single fault propagation. *Proceedings. International Test Conference*. Nashville, USA, 1991, pp. 946–955. <https://doi.org/10.1109/TEST.1991.519760>

Digital chip testing using scan chains

Kornev S.A. s.kornev.tov@gmail.com

Andreev V.V. vladimir_andreev@bmstu.ru

BMSTU (KB), Kaluga, Russia

The algorithm for testing digital microchips using scan chains is discussed. The process of testing using scan cells is shown, as well as its advantages over conventional functional testing. The features of scan chain architectures are considered, as well as their advantages and disadvantages. Features of test sequence generation using automatic test pattern generation for digital microcircuit fault finding are shown.

Keywords: scan-chains, digital ic testability, reliability, mis-structure, cmos chip