

УДК 621.317

Уменьшение времени задержки выключения интегральной микросхемы компаратора

Лыков Андрей Дмитриевич

lyykovad@student.bmstu.ru

Андреев Владимир Викторович

vladimir_andreev@bmstu.ru

КФ МГТУ им. Н.Э. Баумана, Калуга, Россия

Предложена корректировка биполярного технологического процесса изготовления интегральных микросхем компараторов, направленная на уменьшение времени задержки выключения микросхемы. Такая корректировка позволяет существенно улучшить параметры компаратора и увеличить процент выхода годный интегральных микросхем. Изменение технологического процесса дает возможность снизить сопротивление коллекторных областей p - r - p -транзисторов и повысить стабильность получения p - r - p - транзисторов Шоттки.

Ключевые слова: интегральная микросхема, компаратор, время задержки выключения, транзистор Шоттки

Компаратор — это электронное устройство, которое сравнивает два входных сигнала и выдает сигнал на выходе в зависимости от их значений. Основная функция компаратора — это определение того, какой из входных сигналов больше. Компараторы широко используются в различных областях электроники и автоматизации, включая системы управления, аналоговую обработку сигналов и цифровую логику [1–3].

Важнейшей характеристикой компаратора является его электрический параметр, такой как время задержки, которое может сильно повлиять на общую производительность систем, в которых он используется.

Время задержки выключения компаратора — это период, который проходит с момента достижения изменения на входах до фактического изменения состояния на выходе. Этот параметр имеет решающее значение для определения быстродействия компаратора и, соответственно, всей системы. При работе компараторов, особенно в высокочастотных приложениях, время задержки может стать критически важным, ведь оно влияет на скорость реагирования системы на изменения входных сигналов. Это может быть особенно актуально в системах управления, где задержка может привести к ошибкам и неустойчивости.

При высоких температурах время задержки может увеличиваться из-за изменения характеристик полупроводниковых материалов. Именно это и стало причиной доработки технологического процесса изготовления ИС [4, 5].

Для уменьшения время задержки выключения микросхем компаратора было обеспечено малое сопротивление коллекторных областей p - r - p -транзисторов и стабильное получение p - r - p -транзисторов Шоттки.

Для обеспечения низкого сопротивления коллекторных областей n - p - n -транзисторов и стабильного получения n - p - n -транзисторов Шоттки были проведены следующие изменения технологического процесса:

- снижение толщины и удельного сопротивления эпитаксиального слоя исходной структуры с 12 КЭФ 2 до 10 КЭФ 1;
- введение дополнительного подлегирования коллекторных областей транзисторов (слой «глубокий коллектор»);
- для стабильного получения n - p - n -транзисторов Шоттки, было введено дополнительное подлегирование областей транзисторов Шоттки (слой «Подлегирование ТТЛШ»).

На рис. 1 представлена структура элементов после проделанных операций по усовершенствованному технологическому методу. В данном методе допускается смещений слоев эмиттера, тонкого окисла и контактных окон относительно слоя базы не более 2 мкм, для остальных слоев не более 3 мкм.

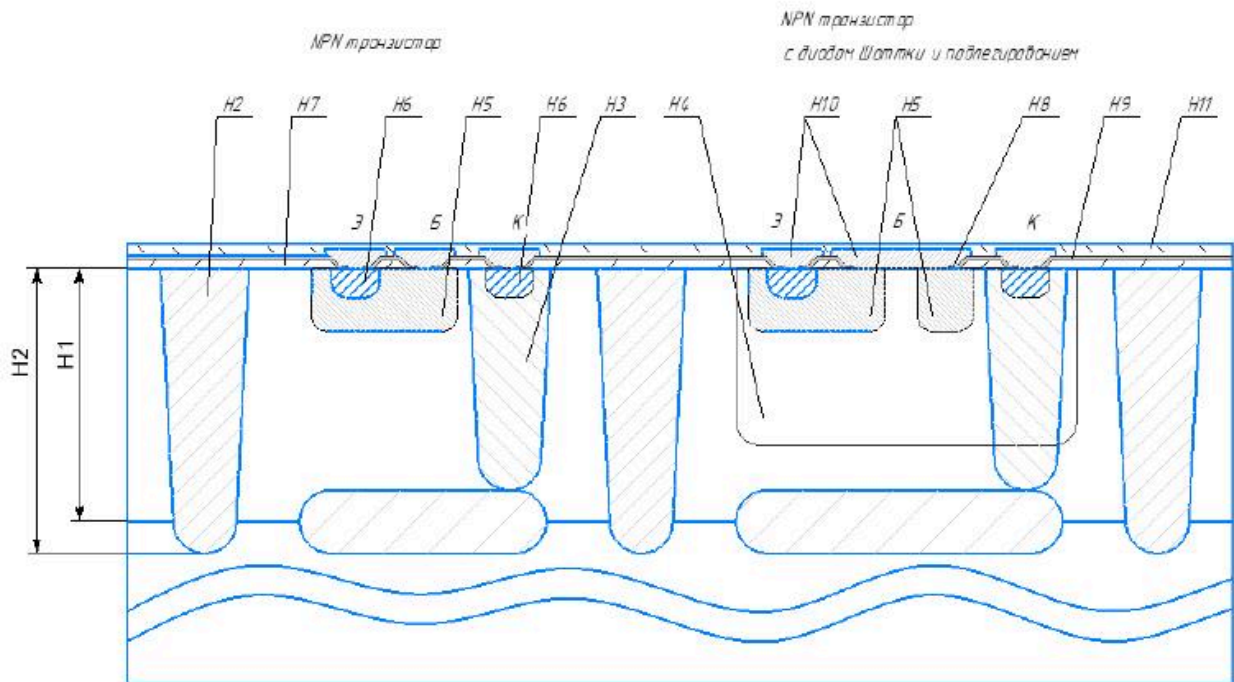


Рис. 1. Структура элементов кристалла компаратора (обозначения и параметры элементов структуры приведены в таблице)

В таблице приведенные данные по изготовлению слоев для кристалла интегральной микросхемы компаратора.

**Данные по изготовлению слоев для кристалла
интегральной микросхемы компаратора**

Элемент структуры					Толщина окисных слоев над элементами структуры, мкм
Наименование	Обозначение	Толщина слоя/глубина диффузии, мкм	Тип проводимости	Удельное поверхностное сопротивление, Ом/кв.	
Область разделения, легированные бором	H2	>10	p+	5–10	0,7±0,1
Область глубокого коллектора, легированные фосфором	H3	>6	n+	2–6	0,7±0,1
Область подлегирования карманов ТТЛШ, легированные фосфором	H4	>4	n+	300–500	0,5±0,1
Область базы, легированные бором	H5	3,1±0,3	p	250±20	0,5±0,1
Область эмиттера, легированные фосфором	H6	2,05±0,6	n+	6–11	0,3±0,1
Область термического окисла	H7	0,7	–	–	–
Область тонкого окисла	H8	0,175±0,025	–	–	–
Область нитрида кремния (Si ₃ N ₄)	H9	0,05±0,01	–	–	–
Контактные площадки и проводники из алюминия	H10	1,2±0,2	–	0,005	–
Область защитного окисла	H11	0,8±0,2	–	–	–

Заключение. Проведена корректировка биполярного технологического процесса изготовления интегральных микросхем компараторов, направленная на уменьшение времени задержки выключения микросхемы. Изменение технологического процесса включало в себя: снижение толщины и удельного сопротивления эпитаксиального слоя исходной структуры; введение дополнительного подлегирования коллекторных областей транзисторов; для стабильного получения n-p-n-транзисторов Шоттки, введено дополнительное подлегирование областей транзисторов Шоттки.

Литература

- [1] Абрамов И.И., Дворников О.В. Тенденции и проблемы проектирования прецизионных аналоговых интерфейсов. *Нано и микросистемная техника*, 2005, № 10, с. 23–35.
- [2] Stefanovic D., Kayal M. Structured Analog CMOS Design. Springer, 2008, 290 p.
- [3] Зюко А.Г., Кловский Д.Д., Назаров М.В., Финк Л.М. *Теория передачи сигналов*. Москва, Радио и связь, 2011, 368 с.
- [4] Андреев Д.В., Курносенко А.Е., Макаrchук В.В., Соловьев В.А. *Технологические процессы изготовления электронной компонентной базы приборостроения*. Москва, Изд-во МГТУ им. Н.Э. Баумана, 2023, 467 с.
- [5] Андреев В.В., Жалнин В.П., Столяров А.А. *Физические основы микро- и нанoeлектроники*. Москва, Изд-во МГТУ им. Н.Э. Баумана, 2023, 292 с.

Reducing the shutdown delay time of the comparator integrated circuit

Lykov A.D. lyykovad@student.bmstu.ru

Andreev V.V. vladimir_andreev@bmstu.ru

BMSTU (KB), Kaluga, Russia

An adjustment of the bipolar manufacturing process of integrated comparator chips is proposed aimed at reducing the delay time of switching off the chip. Such an adjustment can significantly improve the comparator parameters and increase the percentage of usable integrated circuits. A change in the technological process makes it possible to reduce the resistance of the collector regions of n-p-n transistors and increase the stability of obtaining n-p-n Schottky transistors.

Keywords: integrated circuit, comparator, shutdown delay time, Schottky transistor