

На правах рукописи

ДУ ХАОЛУН

**МОДЕЛИРОВАНИЕ ЭЛЕМЕНТОВ КОМБИНАЦИОННОЙ ЛОГИКИ НА
БАЗЕ МЕМРИСТОРОВ ДЛЯ СРЕДСТВ ВЫЧИСЛИТЕЛЬНОЙ ТЕХНИКИ
И СИСТЕМ УПРАВЛЕНИЯ**

Специальность 2.3.2 – Вычислительные системы и их элементы
(технические науки).

АВТОРЕФЕРАТ

диссертации на соискание ученой степени

кандидата технических наук

Москва – 2026

Работа выполнена в федеральном государственном автономном образовательном учреждении высшего образования «Московский государственный технический университет имени Н. Э. Баумана (национальный исследовательский университет)» (МГТУ им. Н.Э. Баумана).

Научный руководитель: **Шахнов Вадим Анатольевич**
член-корреспондент РАН, доктор технических наук,
профессор

Официальные оппоненты: **Иванников Александр Дмитриевич**
доктор технических наук, профессор,
Общество с ограниченной ответственностью
«Альфачип»,
Ученый секретарь научно-технического совета

Белов Алексей Николаевич
доктор технических наук, Общество с
ограниченной ответственностью «Московский
центр фотоники», начальник отдела
«Перспективные оптические системы»

Ведущая организация: Федеральное государственное бюджетное
образовательное учреждение высшего образования
«Пензенский государственный университет»

Защита состоится «10» декабря 2026 года в 13:00 на заседании диссертационного совета 24.2.331.19 на базе МГТУ им. Н.Э. Баумана по адресу: 105005, г. Москва, ул. 2-я Бауманская, д. 5, стр. 1, зал Учёного совета ГУК МГТУ им. Н.Э. Баумана.

С диссертацией можно ознакомиться в библиотеке федерального государственного автономного образовательного учреждения высшего образования МГТУ им. Н.Э. Баумана и на сайте <http://www.bmstu.ru>.

Отзывы на автореферат, заверенные печатью учреждения, просьба направлять по адресу: 105005, г. Москва, ул. 2-я Бауманская, д. 5, стр. 1, Учёному секретарю диссертационного совета 24.2.331.19, кафедра ИУЗ.

Автореферат разослан «___» _____ 2026 года.

Ученый секретарь
диссертационного совета 24.2.331.19
кандидат технических наук, доцент

С.А. Сакулин

ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

Актуальность темы. Одним из возможных вариантов нового поколения электронно-вычислительных машин будет их создание по принципу построения человеческого мозга. Принято считать, что оно будет основано на принципиально новой элементной базе с применением принципиально новых технологий. Основным качеством новых поколений ЭВМ должен быть высокий интеллектуальный уровень для использования, в частности, в системах распознавания речи, образов, обработки больших объемов информации. Это потребует перехода от традиционной фон-неймановской архитектуры компьютера к архитектурам, учитывающим требования задач создания искусственного интеллекта.

С возможным окончанием действия закона Мура полупроводниковая промышленность находится на особом этапе, требующим перехода на новую элементную базу. И одним из таких новых элементов является мемристор. Мемристор имеет простую двухполюсную конструкцию, требующую в общей сложности три слоя – два электрода, и один средний "запоминающий" слой. Внешне этот прибор выглядит как резистор, поэтому с его применением сравнительно легко обеспечить возможность высокой плотности интеграции при низкочувствительном производстве. Однако, в отличие от классических сопротивлений, резистивные слои могут быть организованы таким образом, что их сопротивление будет зависеть от проходящего через них тока. Изменение физических параметров резистивного слоя, таких как сопротивление устройства, приводит к эффекту памяти, что может быть использовано для хранения данных или для непосредственно обработки данных.

Мемристор рассматривается как четвертый элемент цепи после резисторов, конденсаторов и индукторов (индуктивности). Он считается следующим поколением технологии энергонезависимой памяти с преимуществами высокой скорости, низкого энергопотребления, легкой интеграции и совместимости с КМОП (комплементарная структура металл-оксид-полупроводник; англ. CMOS) структурами. Мемристор может реализовать логические операции в энергонезависимых состояниях и вычислительные функции, такие как морфология мозговых нервов, слияние хранения информации и вычислений в одном устройстве, может использоваться в качестве основного базового устройства для будущего хранения информации и вычислительной интеграции без вычислительных моделей Тьюринга и без вычислительной архитектуры фон Неймана. Мемристор имеет важное значение и важную роль в таких областях, как хранение информации сверхвысокой плотности, сверхвысокие высокопроизводительные вычисления и искусственный интеллект в эпоху больших данных.

В последние годы получен ряд результатов, приближающих реальное использование мемристоров при построении перспективных средств вычислительной техники. Эти результаты получены известными зарубежными и российскими учеными Л. Чуа, Р.С. Уильямсоном, Б. Киви, М. Ди Вентра, С. Квятинским, В.Б. Казанцевым, В.В. Алиевым, Ю.В. Першиным, Д.В. Стружковым и другими. По мнению многих ученых и специалистов, три типа устройств прежде всего могут получить значительные выгоды от применения мемристора: внутрикристальная память, искусственные нейронные сети, являющиеся аналогом биологических вычислительных систем, и оперативная память. Применение мемристоров может помочь преодолеть препятствия, с которыми сталкивается современная вычислительная система особенно при когнитивной обработке информации, анализе больших данных и в интеллектуальных системах на базе интернета вещей. В связи с этим исследования в области применения мемристоров в средствах вычислительной техники и системах управления следует считать актуальными и перспективными.

Объектом исследования является процесс разработки комбинационных логических схем на базе мемристоров для средств вычислительной техники и систем управления.

Предметом исследования являются модели мемристоров, усовершенствованные схемы мемристор-КМОП и методы проектирования двоичных и троичных логических элементов на их основе.

Целью работы является исследование, разработка и моделирование комбинационных логических схем на основе мемристоров для улучшения параметров существующих логических схем и эффективного сокращения количества составляющих эти схемы элементов, усовершенствование комбинационных логических элементов на основе мемристоров и разработка на их основе подходов к созданию новых схем троичной логики.

Для достижения этой цели в работе были поставлены и решены **следующие задачи:**

1. Проведение анализа основного принципа работы и характеристик мемристоров различных типов.
2. Проведение моделирования различных схем мемристоров с целью выбора подходящего программного обеспечения и моделей для следующего этапа исследований.
3. Осуществление разработки комбинационных логических схем на основе мемристорной логики с заданными соотношениями (MRL) и усовершенствование логических схем на основе мемристора.
4. Проектирование троичных логических элементов и комбинационного логического элемента на основе мемристора, их моделирование и исследование.

Методы исследования. При выполнении работы использовались

логические и эмпирические методы экспериментального исследования на основе наблюдения и опыта, сравнения, анализа и синтеза. Использовано различное программное обеспечение для построения моделей и выполнения имитационного моделирования для достижения исследовательских целей.

Научная новизна работы заключается в следующем:

1. Разработаны компьютерные модели мемристоров различных типов, отличительными особенностями которых является возможность существенно облегчить процесс анализа и синтеза характеристик реальных мемристоров.

2. Предложена модель усовершенствованной, работоспособной схемы мемристор-КМОП, которая является основой для дальнейшей разработки комбинированных логических схем на основе мемристоров.

3. На основе предложенных моделей разработана методология проектирования двоичного 8-входового 3-линейного кодера, двоичного 3-входового 8-линейного декодера, мультиплексора «1 из 4», полного сумматора, умножителя 2×2 .

4. На основе разработанных компьютерных моделей предложены методы проектирования схем базовых троичных логических элементов «И», «ИЛИ», «НЕ», троичных комбинационных логических элементов «И-НЕ», «ИЛИ-НЕ», «исключающее ИЛИ», «исключающее ИЛИ-НЕ», троичных кодеров и декодеров с применением мемристоров.

Практическая значимость результатов исследования

Проведен анализ моделей мемристоров и с помощью системы моделирования электронных схем осуществлено проектирование логических схем.

Разработаны комбинационные логические схемы на основе мемристорной логики. Осуществлена проверка корректности выполнения логических функций этими логическими схемами. По сравнению с КМОП-схемами полученные результаты позволяют реализовать логические функции с меньшим количеством компонентов. Размер мемристора для многих случаев может быть меньше размера транзистора, что может привести к уменьшению площади чипа для логических схем.

Разработаны схемы базовых троичных логических элементов. С использованием этих логических элементов предложены методы проектирования схем с троичными комбинационными логическими схемами.

Результаты диссертационного исследования использованы в учебном процессе кафедры проектирования и технологии производства электронной аппаратуры МГТУ им. Н.Э. Баумана и в разработках Международного научно-исследовательского центра по аэрокосмическим инновационным технологиям Университета Цинхуа (КНР).

Достоверность и обоснованность полученных результатов диссертационной работы подтверждаются результатами моделирования, а

также согласованностью результатов с известными данными в этой области. Проведены экспериментальные исследования для дополнительной проверки корректности результатов моделирования.

Основные научные положения, выносимые на защиту:

1. Разработанные модели трех типов мемристоров.
2. Модель усовершенствованной комбинированной схемы мемристор-КМОП.
3. Модели мемристорных комбинационных логических элементов.
4. Двоичный 8-входовой-3-линейный кодер, двоичный 3-входовой-8-линейный декодер, мультиплексор «1 из 4», полный сумматор, умножитель 2×2 на основе мемристорной логики.
5. Схемы базовых троичных логических элементов «И», «ИЛИ», «НЕ», троичных комбинационных логических элементов «И-НЕ», «ИЛИ-НЕ», «исключающее ИЛИ», «исключающее ИЛИ-НЕ», троичный кодер и декодер.

Личный вклад соискателя. Автор принимал непосредственное участие на каждом этапе выполнения диссертационного исследования. Провёл анализ принципов работы и характеристик трёх типов мемристоров и выполнил моделирование в средах MATLAB, Simulink и LTspice. Спроектировал усовершенствованную комбинированную схему мемристор-КМОП. На базе предложенной модели разработал двоичные комбинационные логические схемы на основе мемристорной логики с заданными соотношениями (*MRL*). Предложил и смоделировал схемы базовых троичных логических элементов, а также троичных комбинационных элементов на основе мемристоров. Провёл численное моделирование в LTspice, подтвердившее корректность выполнения логических функций разработанными схемами. Осуществил экспериментальную проверку работоспособности разработанных двоичных комбинационных схем с использованием мемристоров «Knowm», транзисторов и микроконтроллерной платы Arduino. Лично провёл сравнительный анализ результатов моделирования и экспериментальных данных, подтвердивший правильность предложенных решений.

Апробация работы. Результаты работы доложены на: II межвузовской заочной конференции аспирантов, соискателей и молодых ученых (Москва, 2020 г.), XIII международной конференции «Кремний 2020» (Ялта, 2020 г.); VIII международной научно-технической конференции студентов, молодых ученых и специалистов «Энергосбережение и эффективность в технических системах» (Тамбов, 2021 г.); VI Международной научно-практической конференции «Современные тенденции в научных исследованиях» (Москва, 2025 г.); XXXI Международной научно-практической конференции «Современные тенденции развития науки и мирового сообщества в эпоху цифровизации» (Москва, 2025 г.).

Публикации. По теме диссертации опубликовано 10 научных работ, из них 4 статей в журналах, входящих в перечень ВАК РФ.

Структура и объем диссертации. Диссертационная работа состоит из введения, четырех глав, общих выводов и заключения, списка используемой литературы. Текст диссертационной работы изложен на 131 машинописных страницах, содержит 71 рисунок и 25 таблицы. Список литературы содержит 102 источника.

СОДЕРЖАНИЕ РАБОТЫ

Во введении обоснована актуальность темы, сформулированы задачи исследования и основные положения, выносимые на защиту.

В первой главе диссертации приведено определение мемристора, рассматривается его структура, эффекты переключения сопротивления мемристора, проведен анализ трех типов логических схем, основанных на мемристоре, и проблемы, с которыми сталкиваются при исследовании мемристора.

Энергонезависимая логика на основе мемристоров может обеспечить конвергенцию вычислительных и хранимых функций на уровне ячеек, избегая передачи данных между процессором и памятью, обладая значительными преимуществами в скорости, потреблении энергии и т. д. Мемристор как компонент с эффектом памяти имеет ряд преимуществ при реализации энергонезависимой логики: а) два состояния высокого и низкого сопротивления мемристора могут использоваться для представления логических переменных «0» и «1»; б) обратимое преобразование между различными состояниями сопротивления; в) преобразование между различными состояниями сопротивления не является произвольным и может произойти только при выполнении определенных условий, при этом величина сопротивления мемристора может быть стабильно сохранено после снятия напряжения. Простая структура, небольшая площадь, высокая степень интеграции, высокое быстродействие и совместимость с процессом КМОП придают мемристору значительное преимущество в потреблении энергии, занимаемой площади и стоимости.

Кроме того, по сравнению с другими типами логики, мемристорная логика с заданными соотношениями (*memristor ratioed logic, MRL*) это логический дизайн, совместимый с КМОП (комплементарный металло-оксидный полупроводник). В этом методе логические состояния («0» и «1») определяются выходным напряжением. Размер мемристора может достигать порядка нескольких нанометров, что намного меньше размера традиционного КМОП-транзистора. С точки зрения технологии один МОП-транзистор может достигать размеров нескольких мемристоров.

Таким образом, основной задачей данной работы является проектирование комбинационных логических схем на основе мемристоров с использованием *MRL*, что обеспечивает сокращение количества элементов по сравнению с традиционными КМОП-схемами.

Во второй главе рассмотрены методы моделирования трех популярных моделей мемристоров для проверки их свойств, а также заложена основа для следующего этапа исследования компонентов комбинационной логики.

1. Моделирование мемристора типа НР.

Мемристор, разработанный лабораторией Hewlett Packard, представляет собой сэндвич-структуру, включающую функциональный слой TiO_2 толщиной D между двумя платиновыми электродами. Применяя представленные в литературе математические выражения, осуществлено моделирование этого типа мемристора в среде MATLAB и в среде Simulink.

Результаты моделирования мемристора НР в среде MATLAB с использованием программы в m-файле приведены на Рисунке 1. При этом из Рисунка 1,а следует, что, если входной сигнал напряжения является синусоидальным, сопротивление мемристора также изменяется со временем между состоянием с высоким сопротивлением и состоянием с низким сопротивлением. На Рисунке 1,б представлена вольт-амперная диаграмма мемристора, представляющая собой сжатую петлю гистерезиса формы «восьмерка». Рисунок 1,в демонстрирует диаграмму зависимости напряжения и сопротивления. Из рисунка видно, что существует четкая разница между состояниями высокого и низкого сопротивления мемристора.

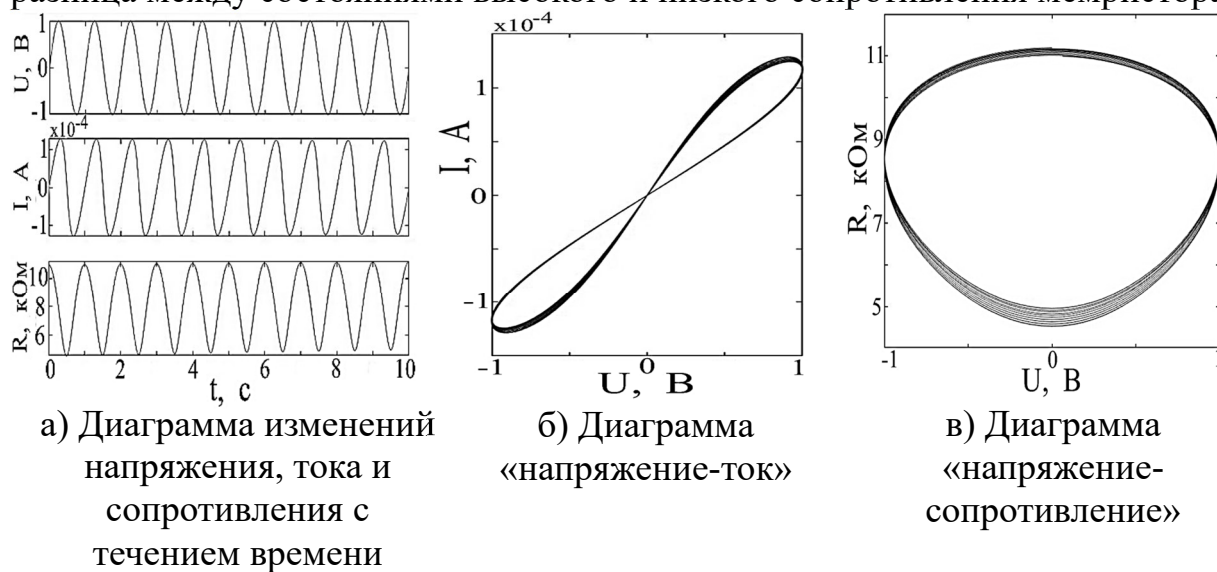


Рисунок 1 – Результаты моделирования модели НР мемристора в MATLAB

В среде Simulink моделирование мемристора реализуется через преобразование математических формул в блок-схему, как показано на Рисунке 2. При этом с помощью окна (а) можно получить график оконной функции $f(x)$; с помощью окна (б) можно получить диаграмму изменения сопротивления с течением времени; с помощью окна (в) получаем диаграмму изменения тока с течением времени; с помощью окна (г) получаем диаграмму «напряжение-ток»; с помощью окна (д) получаем форму входного сигнала.

2. Моделирование мемристора типа VTEAM.

Figure 1 consists of three sub-graphs labeled a), б), and в).

а) This graph shows three stacked plots over time t in nanoseconds (нс), ranging from 0 to 60. The top plot shows voltage V in Volts (В) oscillating between approximately -5 and 5. The middle plot shows current I in milliamperes (мА) oscillating between approximately -1.8 and 1.8. The bottom plot shows resistance R in kilohms (кОм) switching between 0 and 12.

б) This graph shows the voltage-current characteristic. The x-axis is voltage V in Volts (В) from -6 to 6, and the y-axis is current I in milliamperes (мА) from -1.8 to 1.5. It displays a hysteresis loop.

в) This graph shows the voltage-resistance characteristic. The x-axis is voltage V in Volts (В) from -6 to 6, and the y-axis is resistance R in kilohms (кОм) from 0 to 14. It shows a square-like hysteresis loop.

7

Можно отметить, что под действием этого входного сигнала мемристор постоянно переключается между состояниями с высоким и низким сопротивлением. На Рисунке 3,б показана диаграмма зависимости напряжения от тока, характерная для мемристора, а на Рисунке 3,в – диаграмма зависимости сопротивления мемристора от напряжения.

3. Моделирование мемристора типа Knowm.

Разработанный компанией «Knowm Inc.» (США) мемристор Knowm является одной из последних эффективных модификаций мемристора со средним метастабильным переключателем (The Mean Metastable Switch Memristor Model), условное обозначение которого приведено на Рисунке 4, где черная вертикальная линия обозначает отрицательную клемму прибора. Если приложить напряжение к клеммам мемристора, то при положительном подключении состояние сопротивления мемристора будет высокоомным, и наоборот – низкоомным.



Рисунок 4 – Условное обозначение мемристора типа Knowm

Применив математические выражения, описывающие работу мемристора Knowm, с помощью программы LTspice осуществлено моделирование, результаты которого приведены на Рисунке 5. На Рисунке 5,а показаны диаграммы изменения напряжения, тока и сопротивления с течением времени, на Рисунке 5,б – диаграмма напряжение-ток мемристора, которая имеет форму «8» и проходит через начало координат, а на Рисунке 5,в – диаграмма зависимости значения сопротивления мемристора от напряжения.

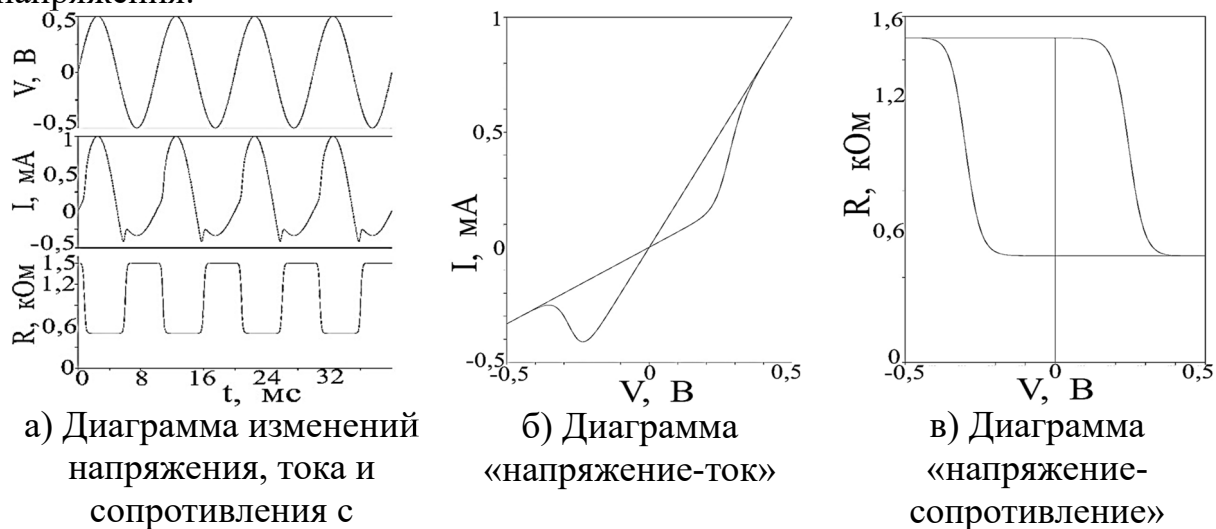


Рисунок 5 – Результаты моделирования мемристора типа Knowm в LTspice

Анализ результатов моделирования позволяет сделать следующие выводы:

С помощью MATLAB можно легко проанализировать свойства модели мемристора, а LTspice удобнее для последующих этапов проектирования логических схем. Преимущество модели «HP» мемристора заключается в простоте математических формул и удобстве вычислений. Однако как модель «VTEAM», так и модель Knowm обладают выраженным пороговым напряжением, что делает их более подходящими для проектирования комбинационных логических схем. Поскольку мемристоры Knowm уже стали коммерчески доступными устройствами, можно выбирать их для исследования и разработки мемристорных логических цепей. Это облегчает экспериментальную проверку разработанной схемы.

В третьей главе рассмотрены варианты использования мемристора Knowm для проектирования логических схем. В схемах элементов ИЛИ и И с использованием мемристоров выходной сигнал выводится через делитель напряжения, поэтому он будет в определенной степени ослаблен. Этот недостаток особенно проявляется в схеме из нескольких логических элементов, что важно учитывать при построении комбинационных схем. Для исключения эффекта ослабления сигнала в схемы с мемристорами включают КМОП-инвертор в результате чего образуются схемы ИЛИ-НЕ и И-НЕ. Стандартный КМОП-инвертор состоит из двух транзисторов: рМОП и nМОП. На Рисунке 6 приведены схемы логических элементов с использованием мемристора и nМОП-транзистора, предназначенного для замены КМОП-инвертора. При этом введены следующие обозначения: V_{cc} – напряжение источника питания, V_{in1} и V_{in2} – разные входные напряжения, R_m – нагрузочный резистор, R_T – nМОП-транзистор. Модификация сигнала на одном из входов позволяет создать логический элемент «И» (AB), как показано на Рисунке 6,б, а его последующая интеграция с мемристорной логической схемой (MRL) обеспечивает реализацию элемента «исключающее ИЛИ» (XOR), как показано на Рисунке 6,в. Чтобы избежать затухания сигнала в мемристорных комбинационных схемах, применяют резистор R_m вместо мемристора.

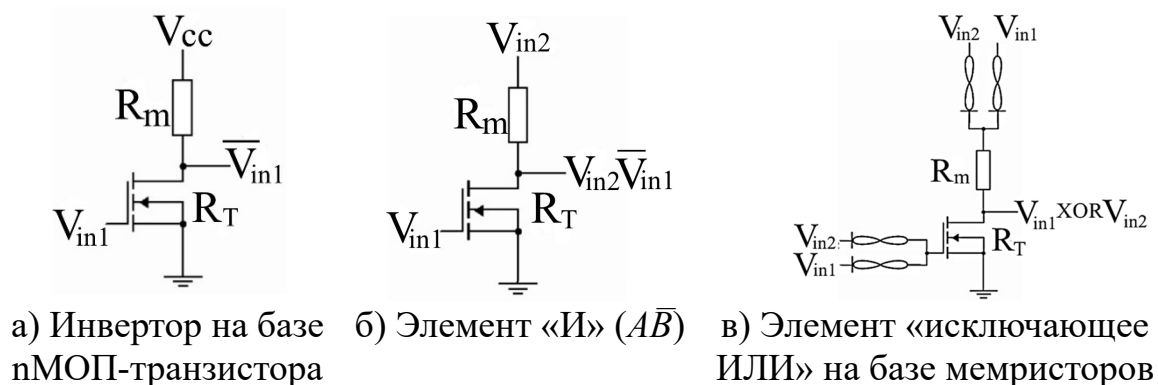


Рисунок 6 – Принципиальные схемы и условные обозначения логических элементов

На основе разработанного усовершенствованного мемристор-КМОП комбинационного логического элемента, предложены следующие комбинационные логические схемы на основе мемристоров: двоичный 8-проводный-3-линейный кодер, двоичный 3-проводный-8-линейный декодер, мультиплексор «1 из 4», полный сумматор, умножитель 2×2 . Проведено численное моделирование в среде LTspice, подтвердившее работоспособность перечисленных комбинационных логических схем на основе мемристоров. В Таблице 1 сравниваются предложенные комбинационные схемы, традиционные КМОП-конструкции и другие мемристорные схемы по количеству требуемых транзисторов.

Таблица 1 – Сравнение количества мемристоров и транзисторов в различных схемах

Тип схемы	Предложенные схемы	Традиционные КМОП-конструкции	Другие мемристорные схемы
Кодер	9Т+10М	40Т	15Т+6М
Декодер	9Т+12М	70Т	20Т+12М
Мультиплексор	10Т+8М	24Т	15Т+8М
Полный сумматор	8Т+8М	28Т	15Т+18М/15Т+12М
Умножитель	8Т+8М	42Т	28Т+10М/8Т+16М

Примечание: Т – транзистор, М – мемристор.

По сравнению с традиционной двоичной логикой, троичная логика, как разновидность многозначной логики, обладает преимуществами более высокой пропускной способности однопроводной передачи информации, большей вычислительной мощностью и меньшей сложностью схемы. Однако, поскольку большинство современных троичных логических схем используют традиционную технологию КМОП, спроектированная структура схемы сложна, а энергопотребление велико, поэтому особенно важно найти устройство для замены традиционной КМОП-структуры. В работе рассмотрены асимметричные троичные логические элементы (0, 1, 2) как представляющие собой варианты положительной троичной логики.

Схема троичного элемента И (Ternary AND gate, TAND), приведенная на Рисунке 7,а образована двумя мемристорами «Known» с одинаковыми параметрами. Два входных сигнала подключены к отрицательным электродам мемристора, а положительный электрод двух мемристоров подключен в качестве выхода элемента троичной логики «И». Схема элемента троичной логики ИЛИ (Ternary OR gate, TOR) показана на Рисунке 7,б. Она аналогична элементу И троичной логики и состоит из двух мемристоров, расположенных в обратной последовательности.

Установим следующие параметры элементов в схеме: для мемристоров при сохранении условия $R_{OFF} \gg R_{ON}$, $R_{ON}=100$ Ом и $R_{OFF} = 10$ кОм., заданное

напряжение $V_{ON} = 0,2$ В, сброс напряжения $V_{OFF} = 0,2$ В, постоянная времени $\tau = 500$ пс, термодинамическая температура = 298,5 К, начальное значение переменной состояния $x_0 = 0$. Пусть V_{CC} равен 5 В. Тогда высокому уровню 5 В соответствует логическому уровню «2», промежуточный уровень 2,5 В соответствует уровню «1», а низкий уровень 0 В означает уровень «0».

На Рисунке 7,в и 7,г представлены диаграммы сигналов, полученные в результате моделирования в среде LTspice. Логическая взаимосвязь между всеми входными сигналами и выходными сигналами в моделировании такая же, как и в соответствующих таблицах истинности.

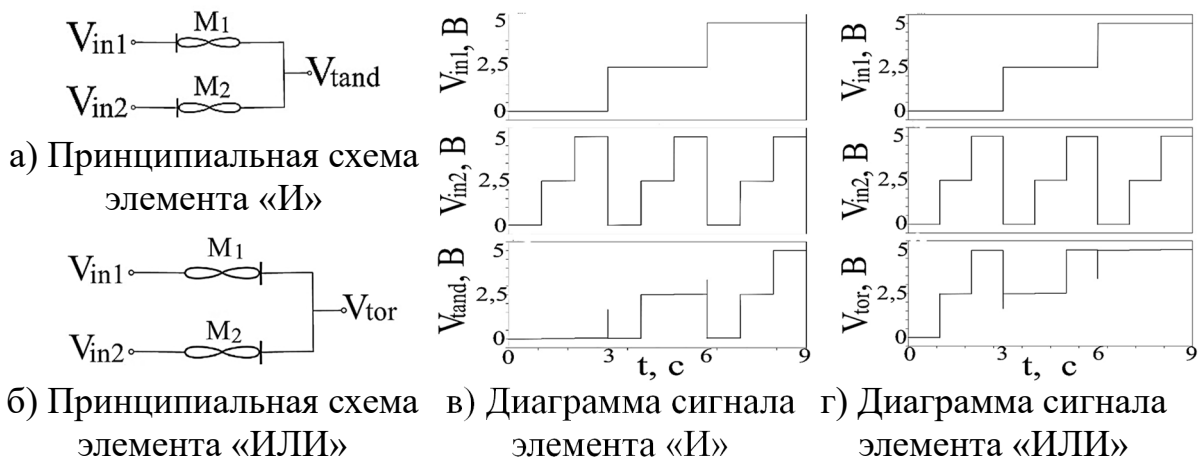


Рисунок 7 – Схема элемента троичной логики «И», «ИЛИ» и диаграмма сигнала при моделировании в LTspice

Троичный инвертор (логический элемент «НЕ») в зависимости от функции преобразования классифицируется на три основных типа: стандартный троичный инвертор (Standard Ternary Inverter, STI), положительный троичный инвертор (Positive Ternary Inverter, PTI) и отрицательный троичный инвертор (Negative Ternary Inverter, NTI). Схема, представленная на Рисунке 8,а обеспечивает реализацию логических элементов «PTI» или «NTI» за счет выбора nМОП-транзистора $N1$ с различающимися пороговыми напряжениями. При разработке элемента «PTI» пороговое напряжение транзистора $N1$ составляет 4,95 В, тогда как для элемента «NTI» это значение равно 1 В. Логический элемент STI состоит из 2 мемристоров и 2 nМОП-транзисторов с пороговыми напряжениями 1 В ($N1$) и 4,95 В ($N2$), его схема приведена на Рисунке 8,б. Необходимо отметить, что когда входной сигнал равен «1», на выходе возникает небольшая ошибка ($V_{STI} = 3$ В), здесь мы соответствующим образом уменьшаем R_{OFF} мемристора M_2 ($R_{OFF} = 7,5$ кОм), и полученные результаты моделирования будут ближе к идеальному значению.

На Рисунке 8,в представлена диаграмма сигнала, полученная в результате моделирования элемента НЕ. Логическая взаимосвязь между всеми входными сигналами и выходными сигналами в моделировании такая же, как и в соответствующих таблица истинности.

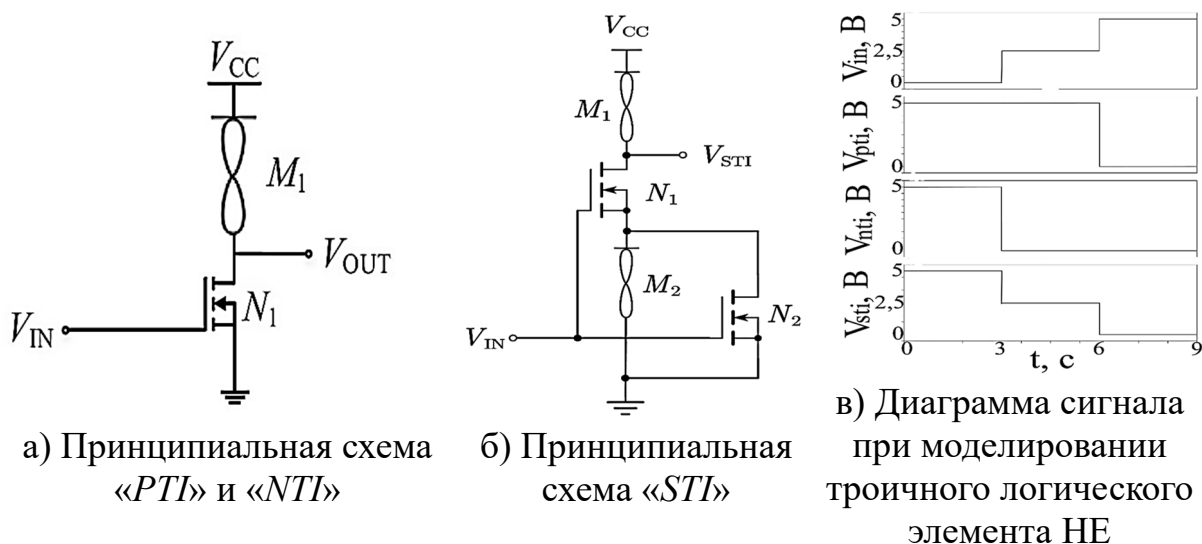


Рисунок 8 – Схема элемента троичной логики «PTI», «NTI», «STI» и диаграммы сигналов при моделировании в среде LTspice

Путем соединения троичных логических элементов И и ИЛИ с элементом «STI» можно спроектировать троичные логические элементы И-НЕ и ИЛИ-НЕ. Также можно спроектировать троичный логический элемент «исключающее ИЛИ» и «исключающее ИЛИ-НЕ», как показано на Рисунке 9.

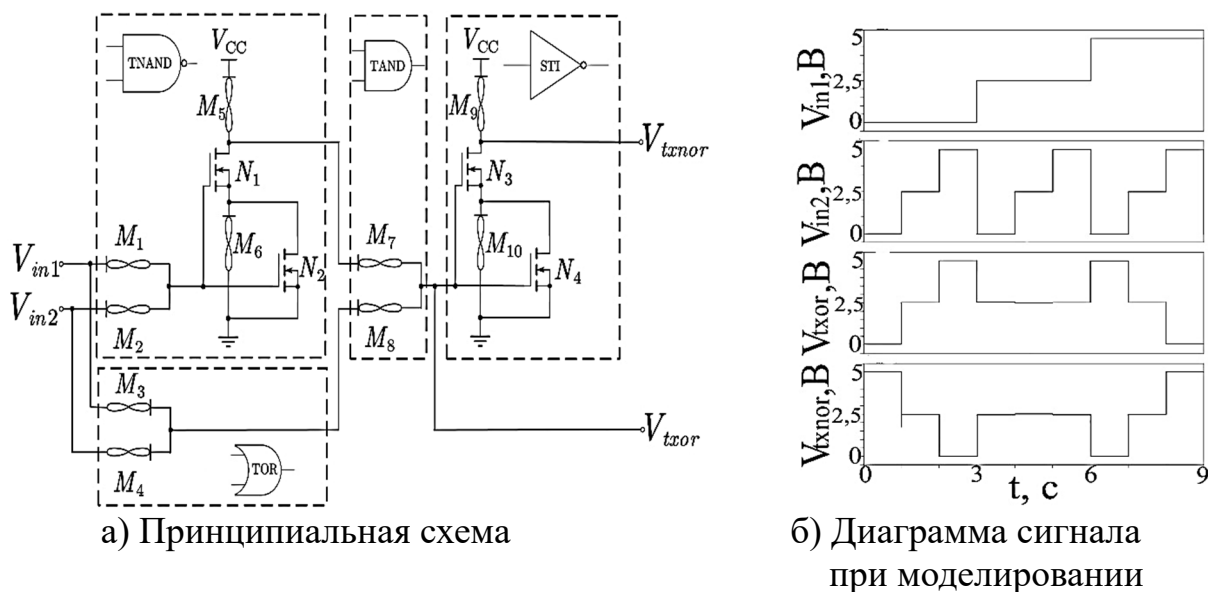


Рисунок 9 – Схема элемента троичной логики «исключающее ИЛИ», «исключающее ИЛИ-НЕ» и диаграмма сигнала при моделировании в среде LTspice

В работе рассмотрены схемы троичной логики для вычисления максимума и минимума на основе N мемристоров: каждый входной сигнал подаётся на аноды каждого мемристора, а их катоды объединены в общий выход, формируя схему максимума; инверсная конфигурация (катоды на входе, аноды на выходе) реализует схему минимума. Также с использованием

предложенных троичных логических элементов разработаны кодер и декодер троичной логики. Результаты моделирования в LTspice совпадают с таблицей истинности, что подтверждает корректную реализацию их функций.

Как показано в Таблице 2, разработанные троичные логические схемы сравниваются по количеству транзисторов с традиционными КМОП-реализациями и схемами на основе графеновых наноленточных полевых транзисторов (Graphene Nano Ribbon Field Effect Transistor, GNRFET), предложенными в работе «Design of Ternary Logic and Arithmetic Circuits using GNRFET».

Таблица 2 – Сравнение количества транзисторов в троичных логических схемах

Тип схемы	Предложенные схемы	Традиционные КМОП-конструкции	<i>GNRFET</i> - конструкции
Элемент « <i>PTI</i> » и « <i>NTI</i> »	1М+1Т	2Т	2Т
Элемент « <i>STI</i> »	2М+2Т	6Т	6Т
Элемент «И-НЕ»	4М+2Т	6Т	6Т
Элемент «ИЛИ-НЕ»	4М+2Т	10Т	10Т
Декодер	7М+5Т	16Т	11Т

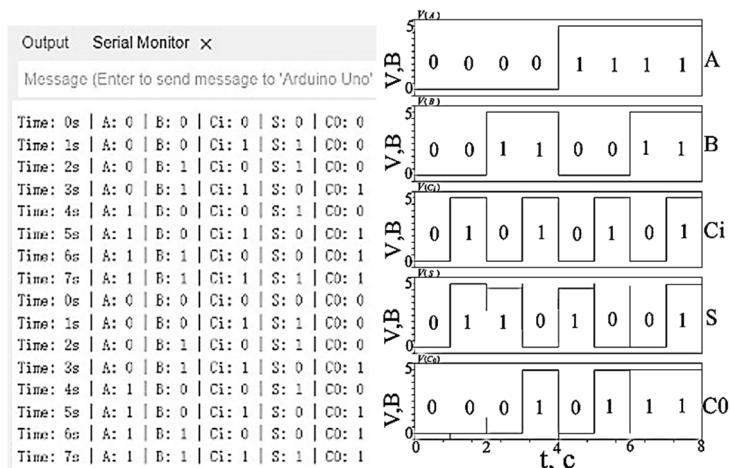
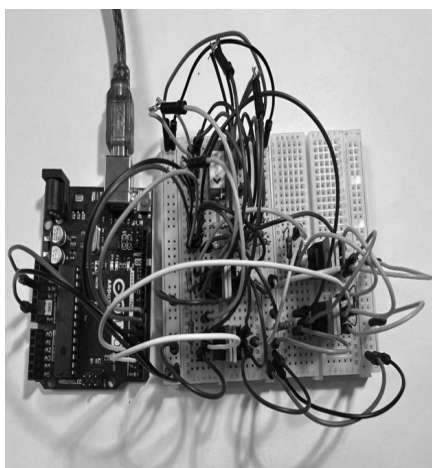
Примечание: Т – транзистор, М – мемристор.

Результаты исследований показали, что разработанные мемристорные логические схемы (двоичные и троичные) не только сокращают количество транзисторов, но и обеспечивают корректную реализацию логических функций.

В четвертой главе рассмотрены результаты экспериментального исследования, проведенного для проверки функционирования двоичных комбинационных логических схем на базе мемристоров, описанных в третьей главе диссертационной работы, а также проводится сравнение между логическими схемами с мемристорами и без них.

Для проведения экспериментов потребовались следующие материалы: мемристоры типа «Known», транзисторы различных типов, резисторы, микроконтроллерная плата Arduino UNO R3, беспаячная макетная плата, набор перемычек для макетных плат. Путем создания экспериментальных схем на основе мемристоров была проверена корректность ранее разработанных проектов комбинационных логических схем (двоичный 8:3 кодер, двоичный 3:8 декодер, 4:1 мультиплексор, полный сумматор, 2×2 умножитель).

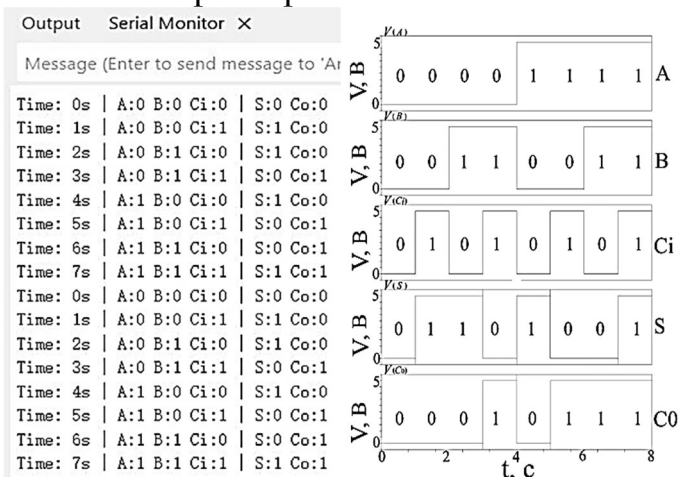
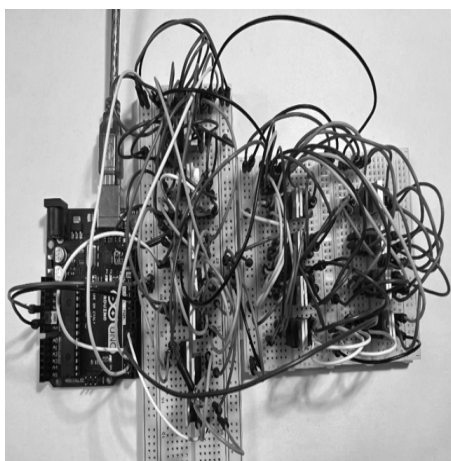
Ниже приведены фотографии и результаты экспериментального исследования полного сумматора с применением мемристора (см. Рисунок 10) и полного сумматора, реализованного на транзисторах (см. Рисунок 11).



а) Экспериментальная схема

б) Сравнение результатов в окне последовательного порта и результатов моделирования

Рисунок 10 – Экспериментальное исследование полного сумматора с применением мемристора



а) Экспериментальная схема

б) Сравнение результатов в окне последовательного порта и результатов моделирования

Рисунок 11 – Экспериментальное исследование полного сумматора, реализованного с использованием транзисторов

Из сравнений видно, что результаты экспериментальных схем совпадают с результатами моделирования, что подтверждает работоспособность разработанной схемы мемристорной комбинационной логической схемы выполнять свои функции.

Сравнение двух вариантов реализации схемы полного сумматора позволяет сделать вывод, что схема полного сумматора на основе мемристоров способна значительно сократить количество используемых транзисторов и при этом эффективно реализует логические функции полного сумматора. Это демонстрирует преимущества использования мемристоров для построения комбинационных логических схем.

В заключении приведены основные результаты диссертации.

ОСНОВНЫЕ РЕЗУЛЬТАТЫ РАБОТЫ

В ходе проведенных теоретических и экспериментальных исследований получены следующие результаты:

1. Проведено моделирование трех типов мемристоров и комбинационных логических схем с использованием различных пакетов программ. Определено, что с помощью известных средств САПР возможен анализ свойств моделей мемристоров, а с помощью LTspice моделирование комбинационных логических схем. Так же установлено, что мемристоры типов VTEAM и Knowm обладают выраженным пороговым напряжением, что делает их более подходящими для проектирования комбинационных логических схем.

2. Рассмотрены возможности использования мемристора Knowm для проектирования комбинационной логической схемы на основе мемристорной логики с заданными соотношениями (memristor ratioed logic, MRL). Описывается схема логического элемента на основе *MRL*. Использован каскад nМОП-транзисторов и мемристоров для реализации различных логических элементов. Проведено проектирование двоичного 8-проводного-3-линейного кодера, двоичного 3-проводного-8-линейного декодера, мультиплексора «1 из 4», полного сумматора, умножителя 2×2 на основе *MRL*. Разработанные комбинационные логические схемы (транзисторы + мемристоры) сокращают использование транзисторов на 60–87% по сравнению с КМОП и на 33–71% против современных мемристорных аналогов, сохраняя корректную логическую функциональность.

3. Выполнено моделирование работы троичных логических схем на основе мемристоров. Разработаны схемы троичного основного логического элемента И, ИЛИ и НЕ. На основе троичных основных логических элементов, предложены методы проектирования схем с троичными комбинационными логическими элементами: И-НЕ, «ИЛИ-НЕ», «исключающее ИЛИ», «исключающее ИЛИ-НЕ», максимальный и минимальный логический элемент, троичный кодер и декодер. Результаты моделирования разработанной троичной логической схемы соответствуют теоретическим расчётам. Разработанные трёхзначные логические схемы (транзисторы + мемристоры) демонстрируют сокращение числа транзисторов на 50–80% по сравнению с классическими КМОП и GNRFET решениями, сохраняя корректную логическую функциональность.

4. Путем создания экспериментальных схем на основе мемристоров была проверена корректность разработанных проектов комбинационных логических схем. Проведенные экспериментальные исследования показали, что результаты экспериментов совпадают с результатами моделирования схем, что подтверждает правильность разработанных комбинационных логических схем на основе мемристоров. Кроме того, путем создания

полного сумматора на традиционной КМОП-технологии было проведено сравнительное исследование традиционного и мемристорного подходов. Доказано, что использование мемристоров для проектирования комбинационных логических схем позволяет сократить количество транзисторов при сохранении требуемых логических функций.

5. Полученные в работе компьютерные модели, методы и результаты моделирования могут быть положены в основу разработки вычислительных систем и их элементов, а также для разработки САПР средств вычислительной техники и систем управления, основанных на использовании мемристоров.

СПИСОК ОПУБЛИКОВАННЫХ РАБОТ ПО ТЕМЕ ДИССЕРТАЦИИ

1. Перспективная элементная база для смарт-систем в условиях цифровой трансформации промышленности / Ду Хаолун [и др.] // Датчики и системы. 2021. № 1. С. 9-17. (1,0 п.л. / 0,2 п.л.)
2. Ду Хаолун, Жалнин В.П., Шахнов В.А. Тройные логические схемы на основе мемристора «Knowm» // Приборы. 2023. № 12. С. 24-32. (1,0 п.л. / 0,7 п.л.)
3. Ду Хаолун, Жалнин В.П., Шахнов В.А. Схемотехническое моделирование мемристоров // Нейрокомпьютеры: разработка, применение. 2024. Т. 26, № 2. С. 34-48. (1,6 п.л. / 1,1 п.л.)
4. Ду Хаолун, Жалнин В.П., Шахнов В.А. Проектирование цифровых логических схем с использованием мемристоров // Приборы. 2025. № 5. С. 38-45. (0,9 п.л. / 0,7 п.л.)
5. Ду Хаолун, Жалнин В.П. Анализ энергонезависимой логики на основе мемристора // Технологии инженерных и информационных систем. 2021. № 1. С. 72-84. (1,5 п.л. / 1,1 п.л.)
6. Ду Хаолун. Development status and future of memristors. // «Наука, технологии и бизнес» сборник материалов II межвузовской заочной конференции аспирантов, соискателей и молодых ученых, Москва. 2020. С. 135-139. (0,6 п.л.)
7. Ду Хаолун. Современное состояние разработки мемристора // XIII международная конференция «Кремний 2020», Ялта. 2020. С. 342-343. (0,2 п.л.)
8. Ду Хаолун. Проектирование модели и моделирование мемристора // VIII международная научно-техническая конференция студентов, молодых ученых и специалистов «Энергосбережение и эффективность в технических системах», Тамбов. 2021. С. 34-35. (0,2 п.л.)
9. Ду Хаолун. Имитационное исследование влияния параметров мемристора на нелинейные динамические свойства мемристора // «Глобальные научные тенденции: интеграция и инновации»: сборник статей Международной научно-практической конференции, Симферополь. 2025. С. 110-117. (0,9 п.л.)

10. Ду Хаолун, Шахнов В.А. Анализ влияния материалов и физических механизмов мемристора на его электрофизические характеристики. // «Современные тенденции развития науки и мирового сообщества в эпоху цифровизации»: сборник статей XXXI Международной научно-практической конференции, Москва. 2025. С. 150-155. (0,7 п.л.)