



ФЕДЕРАЛЬНАЯ СЛУЖБА
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(21)(22) Заявка: 2015144093/08, 14.10.2015

(24) Дата начала отсчета срока действия патента:
14.10.2015

Приоритет(ы):

(22) Дата подачи заявки: 14.10.2015

(45) Опубликовано: 20.11.2016 Бюл. № 32

(56) Список документов, цитированных в отчете о поиске: RU 2030092 C1, 27.02.1995. RU 2127485 C1, 10.03.1999. RU 2208904 C2, 20.03.2000. US 6366174 B1, 02.04.2002. EP 0866560 A1, 23.09.1998.

Адрес для переписки:

105005, Москва, ул. 2-ая Бауманская, 5, МГТУ
им. Н.Э. Баумана, Центр защиты
интеллектуальной собственности (для
Халатовой Е.С.)

(72) Автор(ы):

Шахтарин Борис Ильич (RU),
Сидоркина Юлия Анатольевна (RU),
Тимофеев Александр Анатольевич (RU)

(73) Патентообладатель(и):

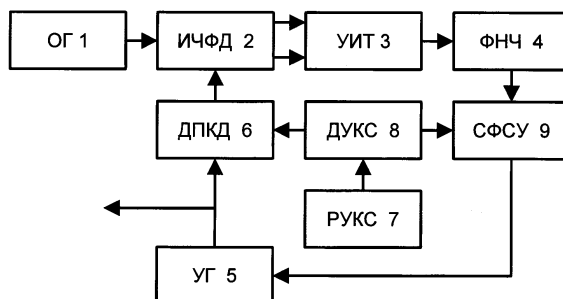
Федеральное государственное бюджетное
образовательное учреждение высшего
профессионального образования
"Московский государственный технический
университет имени Н.Э. Баумана" (МГТУ
им. Н.Э. Баумана) (RU)

(54) БЫСТРОДЕЙСТВУЮЩИЙ СИНТЕЗАТОР ЧАСТОТ

(57) Реферат:

Изобретение относится к радиотехнике и может использоваться в синтезаторе частоты с импульсной фазовой автоподстройкой частоты. Достижимый технический результат - повышение быстродействия при смене рабочей частоты. Быстродействующий синтезатор частоты содержит опорный генератор, частотно-фазовый

детектор, управляемый источник тока, фильтр нижних частот, сумматор-формирователь сигнала управления, управляемый генератор, делитель с переменным или дробно-переменным коэффициентом деления, регистр управляющего кодового слова, дешифратор управляющего кодового слова. 2 ил.



структурная блок- схема синтезатора частоты

Фиг. 1



FEDERAL SERVICE
FOR INTELLECTUAL PROPERTY

(12) **ABSTRACT OF INVENTION**(21)(22) Application: **2015144093/08, 14.10.2015**(24) Effective date for property rights:
14.10.2015

Priority:

(22) Date of filing: **14.10.2015**(45) Date of publication: **20.11.2016** Bull. № 32

Mail address:

**105005, Moskva, ul. 2-aja Baumanskaja, 5, MGTU
im. N.E. Baumana, TSentr zashchity intellektualnoj
sobstvennosti (dlja KHalatovoj E.S.)**

(72) Inventor(s):

**SHakhtarin Boris Ilich (RU),
Sidorkina Julija Anatolevna (RU),
Timofeev Aleksandr Anatolevich (RU)**

(73) Proprietor(s):

**Federalnoe gosudarstvennoe bjudzhetnoe
obrazovatelnoe uchrezhdenie vysshego
professionalnogo obrazovanija "Moskovskij
gosudarstvennyj tekhnicheskij universitet imeni
N.E. Baumana" (MGTU im. N.E. Baumana)
(RU)**

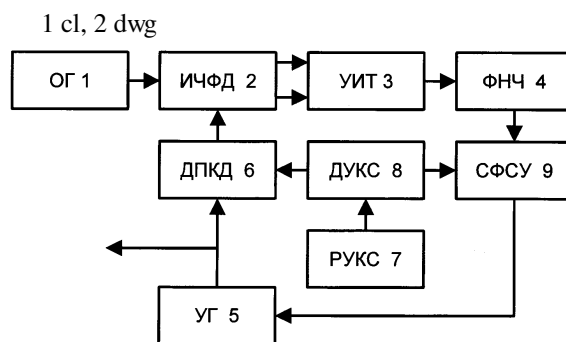
(54) **HIGH-SPEED FREQUENCY SYNTHESIZER**

(57) Abstract:

FIELD: radio engineering.

SUBSTANCE: invention relates to radio engineering and can be used in a frequency synthesiser with a pulsed phase-locked loop frequency. High-speed frequency synthesiser comprises a reference generator, frequency-phase detector, controlled current source, low-pass filter, adder-control signal generator, controlled generator, divider with variable or fractional variable division factor, register of control code word, decoder of control code word.

EFFECT: technical result is faster operation when changing operating frequency.



структурная блок- схема синтезатора частоты

Фиг. 1

Изобретение относится к радиотехнике, а именно к синтезаторам частот (СЧ) с импульсной фазовой автоподстройкой (ИФАП) с зарядовой накачкой, делителем с переменным или дробно-переменным коэффициентом деления (ДПКД/ДДПКД) и дополнительным контуром управления в цепи обратной связи, формирующим
5 дополнительное управляющее воздействие на основе информации о коэффициентах деления.

Известны СЧ, построенные на основе ИФАП с ДПКД или ДДПКД в цепи обратной связи (см. Синтезаторы частот: Учебное пособие / Б.И. Шахтарин и др. - М.: Горячая линия. - Телеком, 2007. - 128 с.). Указанные СЧ производятся в большом ассортименте
10 в виде готовых микросхем ведущими производителями электроники: Analog Devices, Texas Instruments и др. Они позволяют формировать на выходе большое число дискретных частот при малых габаритах и малой потребляемой мощности.

Недостатком этих СЧ является вынужденный компромисс между возможностью получить высокую чистоту спектра выходного сигнала при широком диапазоне частот
15 с малым шагом сетки частот и высоким быстродействием при переключении с одной частоты на другую.

Указанный недостаток устраняется применением многокольцевых схем, схем компенсации помех дробности, модификацией ЧФД и применением схем с изменяемой структурой.

Наиболее близким техническим решением к заявляемому изобретению является схема СЧ на базе контура импульсной фазовой автоподстройки частоты с компенсацией помех дробности, описанная в патенте РФ №2491713 от 01.10.2012, МПК H03L 7/00.

Схема имеет первый (Fref), второй (N) и третий (F) входы, выход Fvco и включает импульсный частотно-фазовый детектор (ИЧФД), имеющий первый вход Fref, второй
25 вход Ffb, первый выход Up и второй выход Dn; управляемый источник тока (УИТ), имеющий первый вход Up, второй вход Dn и выход I0; емкостный элемент, имеющий вывод Vc; элемент коммутации, имеющий вход управления Sw и первый и второй выходы; фильтр нижних частот (ФНЧ), имеющий вход Vf и выход Vvco; управляемый генератор (УГ), имеющий вход Vvco и выход Fvco; делитель с дробно-переменным
30 коэффициентом деления (ДДПКД), имеющий первый вход Fvco, второй вход N, третий вход OVER и выход Ffb; схему управления значением коэффициента деления (УКД), имеющую вход F, первый выход OVER и второй выход Fc; источник тока компенсации дробности (ИТКД), имеющий вход Fc и выход Ic.

На первый вход схемы ИЧФД подается сигнал опорной частоты с первого входа Fref устройства. Второй вход схемы ИЧФД подключен к выходу Ffb схемы ДДПКД. Выходы Up и Dn схемы ИЧФД соединены с соответствующими входами схемы УИТ. Выходы схем УИТ и ИТКД, вывод Vc емкостного элемента и первый вывод элемента коммутации соединены между собой. Второй вывод элемента коммутации соединен с входом схемы ФНЧ, выход которой соединен с входом Vvco схемы УГ. Выход схемы
40 УГ, первый вход схемы ДДПКД и выход Fvco устройства соединены между собой. На второй вход схемы ДДПКД подается значение целой части коэффициента деления с второго входа N устройства. Третий вход схемы ДДПКД подключен к первому выходу схемы УКД. На вход схемы УКД подается значение дробной части коэффициента деления с третьего входа F устройства. Вход схемы ИТКД подключен к второму выходу Fc
45 схемы УКД.

Устройство работает следующим образом. Схема ИЧФД сравнивает фазу сигнала Fref опорной частоты и фазу сигнала Ffb частоты обратной связи и вырабатывает сигналы Up и Dn в соответствии с фазовой разностью. По этим сигналам схема УИТ

вырабатывает выходной ток I_0 , под действием которого, совместно с выходным током I_c схемы ИТКД, на емкостном элементе формируется потенциал напряжения сигнала V_c . Сигнал Sw управляет элементом коммутации так, что переводит его в разомкнутое состояние на время, когда выходные токи схем УИТ или ИТКД находятся в активном состоянии, и в замкнутое состояние, когда выходы схем УИТ и ИТКД выключены. На выходе схемы ФКУ формируется сигнал V_{vco} , являющийся управляющим для ГУН. Сигнал F_{vco} выходной частоты ГУН поступает на схему ДДПКД, осуществляющую деление на N или $N+1$ в зависимости от состояния сигнала управления $OVER$, и вырабатывающую сигнал F_{fb} частоты обратной связи. При каждом такте сравнения фаз в ИЧФД схема УКД накапливает значение фазовой ошибки F_c в пропорции к одному периоду выходной частоты ГУН и вырабатывает сигнал $OVER$ для формирования дробности, заданной значением F . Схема ИТКД в соответствии со значением F_c накопленной фазовой ошибки вырабатывает ток I_c для компенсации импульсов тока I_0 УИТ, вызванных дробным делением в ДДПКД.

Недостатком прототипа является большое время перестройки при переключении частоты СЧ.

Поставленной задачей предложенного решения является сокращение времени перестройки СЧ при смене рабочей частоты за счет исключения фазы поиска сигнала по частоте.

Технический результат изобретения - повышение быстродействия синтезатора частот при смене рабочей частоты.

Для достижения поставленной задачи в быстродействующий синтезатор частоты, содержащий опорный генератор, подключенный через первый вход импульсного частотно-фазового детектора к управляемому источнику тока, имеющий входы в соответствии с фазовой разностью опорного и сигнала частоты обратной связи, выход управляемого источника тока, подключенный к входу фильтра нижних частот, выход которого соединен через сумматор-формирователь сигнала управления с входом управляемого генератора, выходы управляемого генератора выведены на первый вход делителя с переменным или дробно-переменным коэффициентом деления и на потребителя, выход делителя с переменным или дробно-переменным коэффициентом деления подключен к второму входу импульсного частотно-фазового детектора, введен регистр управляющего кодового слова, соединенный с дешифратором управляющего кодового слова, при этом первый выход дешифратора управляющего кодового слова соединен с вторым входом сумматора-формирователя сигнала управления, а второй выход дешифратора управляющего кодового слова соединен с вторым входом делителя с переменным или дробно-переменным коэффициентом деления.

Изобретение поясняется чертежами, где на фиг. 1 представлена структурная блок-схема синтезатора частоты, на фиг. 2 приведены эпюры переходных процессов на входе УГ при работе описываемой и известной схем СЧ с ИФАП (случай $U_{ref}=0$) при одинаковых параметрах УИТ и ФНЧ.

Синтезатор частоты в своем составе содержит опорный генератор 1 (ОГ 1), импульсный частотно-фазовый детектор 2 (ИЧФД 2), управляемый источник 3 тока (УИТ 3), фильтр 4 нижних частот (ФНЧ 4), управляемый генератор 5 (УГ 5), делитель 6 с переменным или дробно-переменным коэффициентом деления (ДПКД/ДДПКД 6), регистр 7 управляющего кодового слова (РУКС 7), дешифратор 8 управляющего кодового слова (ДУКС 8), сумматор-формирователь 9 сигнала управления (СФСУ 9).

Наряду с динамическим диапазоном, шагом сетки частот и спектральной чистотой генерируемого колебания, одним из главных показателей качества синтезатора частот

является время переходного процесса при изменении генерируемой частоты. В традиционных синтезаторах косвенного синтеза время перестройки зависит от дискриминационной характеристики ИЧФД и динамических свойств петли ИФАП, изменение которых в пользу ускорения поиска и захвата частоты и фазы (расширение 5 полосы ИФАП) неизбежно приводит к ухудшению спектральных характеристик генерируемого колебания. Имеется большое количество изобретений, улучшающих динамические характеристики ИФАП за счет оптимизации дискриминационной характеристики ИЧФД, коммутации дополнительных источников тока УИТ, а также изменения полосы пропускания ФНЧ, путем изменения его структуры в переходном 10 режиме. Однако все эти решения, уменьшая время переходных процессов ИФАП, качественно не меняют алгоритм работы контура и не исключают процесс поиска и захвата.

Описываемая в настоящем изобретении структура синтезатора частот полностью устраняет частотное рассогласование в контуре ИФАП при переключении частоты 15 синтезатора, исключает фазу поиска ИФАП по частоте, допуская лишь незначительное фазовое рассогласование в момент переключения.

Синтезатор частот работает следующим образом. При включении схемы ОГ 1 начинает вырабатывать опорное колебание с частотой F_{ref} , которое подается на один из входов ИЧФД 2. ИЧФД 2 в зависимости от частотного и фазового рассогласования 20 формирует на своих выходах U_p и U_n сигнал управления УИТ 3 с широтно-импульсной модуляцией (ШИМ), знак рассогласования определяет выбор выхода " U_p " или " U_n ", а параметры ШИМ зависят от величины рассогласования. Сигналы, поступающие на входы УИТ 3, управляют коммутацией источников тока (зарядовой накачкой) для формирования выходного тока УИТ 3. Выходной ток УИТ3 поступает на вход ФНЧ 25 4, формирующего сигнал управления по частотно-фазовому рассогласованию U_{err} . РУКС 7 содержит управляющее слово M , на основании которого ДУКС 8 формирует коэффициент деления N и опорный сигнал управления U_{ref} . СФСУ 9 формирует сигнал управления путем сложения опорного сигнала управления U_{ref} и сигнала управления по частотно-фазовому рассогласованию U_{err} , $U_{vco} = U_{ref} + U_{err}$. На вход УГ 5 поступает 30 сигнал $U_{vco} = U_{ref} + U_{err}$, УГ 5 вырабатывает колебание с частотой $F_{out} = F_{vco}(U_{vco})$. Контур управления замыкается через ДПКД/ДДПКД 6, на входы которого поступает колебание с частотой F_{out} и коэффициент деления N , частота выходного сигнала $F_{div} = F_{out} / N$. Для работы схемы обязательно выполнение следующих условий:

$$\begin{aligned} F_{out}(M) &= F_{ref} * N(M) \\ F_{out}(U_{vco}) &= F_{vco}(U_{vco}) \\ F_{out}(M) &= F_{vco}(U_{ref}(M)), \text{ для } U_{err} = 0 \\ U_{ref}(M) &= F'_{vco}(F_{out}(M)) = F'_{vco}(F_{ref} * N(M)), \\ &\text{где } F'_{vco} - \text{функция, обратная функции } F_{vco}. \end{aligned}$$

В этом случае, при задании кодового слова $M1$, соответствующего частоте F_{out1} , 40 ДУКС 8 формирует U_{ref1} , которое при малом U_{err} обеспечивает перестройку УГ 5 в окрестность частоты F_{out1} за время, равное длительности переходного процесса УГ 5. При этом на вход ИЧФД 2 поступает сигнал, частота которого близка F_{ref} , так как коэффициент деления $N1 = N(M1)$ также соответствует вышеприведенным уравнениям. Таким образом, на входе ИЧФД 2 оказываются сигналы близкой частоты со случайным 45 фазовым рассогласованием. При дальнейшей работе небольшое фазовое рассогласование вызовет появление соответствующего сигнала U_{err} , которое будет добавлено к U_{ref} для компенсации фазового рассогласования. При переключении на частоту F_{out2} , соответствующую кодовому слову $M2$, ДУКС 8 скачкообразно изменит

опорное напряжение на величину U_{ref2} , что вызовет переключение УГ на частоту F_{out2} и одновременное изменение коэффициента деления ДПКД/ДДПКД 6. Время переключения при этом не будет зависеть от разности частот $dF = F_{out1} - F_{out2}$ и будет существенно меньше времени переходного процесса в контуре управления ИФАП, при сохранении режима синхронизма ИФАП.

Проиллюстрируем работу изобретения на следующем примере, пусть:

$$F_{vco}(U) = F_0 vco + K_{vco} * U, N(M) = M.$$

$$F_{out} = F_{ref} * M$$

$$U_{ref}(M) = F'_{vco}(F_{ref} * M) = (F_{ref} * M - F_0 vco) / K_{vco}$$

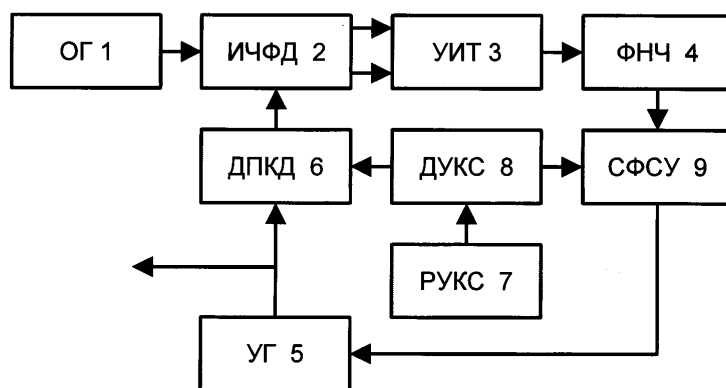
На Фиг. 2 приведены эпюры переходных процессов на входе УГ 5 при работе описываемой и традиционной (известной) схем СЧ с ИФАП (случай $U_{ref} = 0$) при одинаковых параметрах УИТ 3 и ФНЧ 4. Из сравнения кривых видно, что использование предлагаемой схемы позволяет существенно сократить время переходных процессов.

Моделирование выполнялось для $F_{ref} = 1$ МГц, при периодическом скачкообразном изменении коэффициента деления N от 2 до 10. Видно, что для предложенного в изобретении СЧ с ИФАП при переключении удастся полностью исключить режим поиска и захвата по частоте, характерный для СЧ ИФАП традиционной схемы.

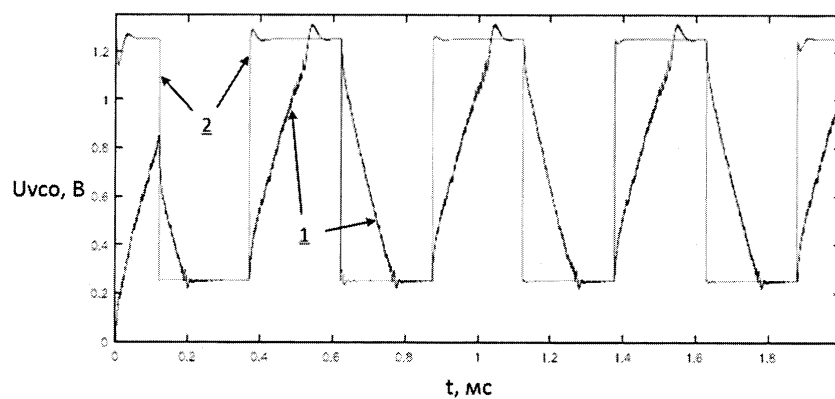
Формула изобретения

Быстродействующий синтезатор частоты, содержащий опорный генератор, подключенный через первый вход импульсного частотно-фазового детектора к управляемому источнику тока, имеющему входы в соответствии с фазовой разностью опорного и сигнала частоты обратной связи, выход управляемого источника тока подключен к входу фильтра нижних частот, выход которого соединен через сумматор-формирователь сигнала управления с входом управляемого генератора, выходы управляемого генератора выведены на первый вход делителя с переменным или дробно-переменным коэффициентом деления и на потребителя, выход делителя с переменным или дробно-переменным коэффициентом деления подключен к второму входу импульсного частотно-фазового детектора, отличающийся тем, что в синтезатор частоты введен регистр управляющего кодового слова, соединенный с дешифратором управляющего кодового слова, при этом первый выход дешифратора управляющего кодового слова соединен с вторым входом сумматора-формирователя сигнала управления, а второй выход дешифратора управляющего кодового слова соединен с вторым входом делителя с переменным или дробно-переменным коэффициентом деления.

Быстродействующий синтезатор частоты



Фиг. 1- структурная блок- схема синтезатора частоты



Фиг.2-эпюры переходных процессов на входе на входе УГ при работе описываемой (кривая 1) и известной (кривая 2) схемы СЧ с ИФАП (случай $U_{ref} = 0$) при одинаковых параметрах УИТ и ФНЧ